

大尺寸功能晶圆临时键合与减薄

朱一新^{1,2}, 喻志奎¹, 万青¹

(1. 甬江实验室, 宁波 315202; 2. 中国科学技术大学 微电子学院, 合肥 230026)

摘要: 在后摩尔时代, 大尺寸功能晶圆临时键合与超薄减薄技术已成为半导体产业创新的重要支撑。然而, 在晶圆减薄过程中, 翘曲和破损等问题普遍存在, 严重制约了器件性能与良率。针对上述挑战, 本团队研发了一种低成本和室温超平整的临时键合工艺, 有效降低了晶圆翘曲风险, 实现了高平整度和高稳定性的晶圆键合。结合国产减薄设备, 本团队成功实现了多项突破: 将 8 英寸硅晶圆减薄至 8 μm ; 将 12 英寸硅功率芯片减薄至 15 μm (总厚度变化 $\text{TTV} \leq 2 \mu\text{m}$); 将 8 英寸铌酸锂减薄至 8~10 μm , 可满足多种压电微机电系统(MEMS)需求。目前, 该技术已成功应用于硅、铌酸锂/钽酸锂、氧化镓、磷化铟等多种晶圆体系的异质集成, 为功率芯片和高性能 MEMS 器件的国产化进程提供了重要支撑。

关键词: 大尺寸晶圆; 临时键合与减薄; 室温; 超平整

中图分类号: TN304 文献标志码: A 文章编号: 1000-324X(2025)12-1443-02

Large-size Functional Wafer Temporary Bonding and Thinning

ZHU Yixin^{1,2}, YU Zhikui¹, WAN Qing¹

(1. Yongjiang Laboratory, Ningbo 315202, China; 2. School of Microelectronics, University of Science and Technology of China, Hefei 230026, China)

Abstract: In the post-Moore era, temporary bonding and ultra-thin wafer thinning of large-size functional wafers have emerged as essential technologies underpinning innovation within the semiconductor industry. However, challenges such as wafer warpage and breakage commonly encountered during wafer thinning severely limit device performance and yield. To address these issues, WAN's group at Yongjiang Laboratory developed a cost-effective, room-temperature ultra-flat temporary bonding technique. This innovative process has significantly reduced the risk of wafer warpage while achieving high flatness and stability in wafer bonding. By integrating this process with domestically developed thinning equipment, the group successfully thinned 8-inch silicon wafers down to 8 μm , 12-inch silicon power chips to 15 μm with a total thickness variation (TTV) $\leq 2 \mu\text{m}$, and 8-inch lithium niobate wafers to 8~10 μm , thereby satisfying diverse piezoelectric micro-electro-mechanical system (MEMS) application demands. Currently, this technology is widely applied in heterogeneous integration of various wafer materials, including silicon, lithium niobate/lithium tantalate, gallium oxide, and indium phosphide, providing crucial support for the localization and development of power chips and high-performance MEMS devices.

Key words: large-size wafer; temporary bonding and thinning; room temperature; ultra-flat

收稿日期: 2025-06-06; 收到修改稿日期: 2025-06-18; 网络出版日期: 2025-06-30

基金项目: 浙江省自然科学基金(LMS25F040005); 浙江省引进培育领军型创新创业团队(2023TD1035); 浙江省重点研发计划(2024SSYS0043)

Zhejiang Provincial Natural Science Foundation (LMS25F040005); Zhejiang Province Introduces and Cultivates Leading Innovation and Entrepreneurship Teams (2023TD1035); Key R&D Program of Zhejiang (2024SSYS0043)

作者简介: 朱一新(1994-), 男, 博士. E-mail: yixin-zhu@ylab.ac.cn

ZHU Yixin (1994-), male, PhD. E-mail: yixin-zhu@ylab.ac.cn

通信作者: 万青, 研究员. E-mail: qing-wan@ylab.ac.cn

WAN Qing, professor. E-mail: qing-wan@ylab.ac.cn

随着半导体产业的飞速发展,大尺寸功能晶圆的临时键合与减薄技术已成为推动行业技术革新的重要支撑。5G、人工智能、物联网等新兴技术的崛起不断提升了对芯片性能和功能的需求。目前,传统的尺寸缩减工艺逐渐逼近其物理极限,硅通孔(TSV)技术已成为当前晶圆级堆叠封装的核心解决方案^[1]。为满足 TSV 制造及多芯片堆叠需求,晶圆不断向大尺寸和超薄化方向发展,这一趋势带来了翘曲和破损等加工挑战,更对工艺创新提出了严苛的要求。

作为后摩尔时代的关键共性技术,大尺寸晶圆的临时键合和低成本减薄在先进封装、MEMS 器件、射频/功率器件和新型铌酸锂/钽酸锂压电和光电器件等领域展现出巨大潜力。2024 年 10 月,英飞凌公司推出全球最薄硅功率晶圆,将 12 英寸硅功率晶圆的厚度减薄至 20 μm 。相比之下,国内现有技术在大尺寸晶圆减薄方面存在显著差距。以 Taiko 减薄工艺为例^[2],8~12 英寸硅晶圆能减薄到的最小厚度只有约 50 μm 。这一差距限制了我国在功率芯片等领域的发 展,导致相关器件在性能和功耗方面难以达到国际先进水平。此外,传统热键合工艺的高温处理过程极易因材料热膨胀系数差异而产生不均匀热应力,造成晶圆翘曲甚至破裂,尤其在大尺寸晶圆或特殊材料晶圆加工中影响更为显著,无法满足现代半导体产业高效、规模化的生产需求。

本团队致力于开发具有自主知识产权的临时键合工艺。针对上述问题,本团队研发了一种低成本室温临时超平整键合技术。与传统热固化键合工艺相比,该技术无需高温处理,避免了热膨胀引起的应力问题,显著降低了晶圆翘曲风险,实现了近乎无应力环境下的高平整度键合。这一突破为后续高精度减薄奠定了基础。此外,本团队结合自主设计的高通量键合设备及优化后的室温键合工艺流程,键合数量可达 30~50 对/小时,极大提高了键合效率。

在大尺寸功能晶圆临时键合与减薄技术从实验室走向工业化生产的过程中,本团队攻克了多项关键技术难点,成功实现了技术的工程化突破。结合室温临时键合工艺和国产全自动减薄设备,本团队已在多个工程化应用中取得显著成果:凭借超平整键合技术,成功将 8 英寸 750 μm 厚的单晶硅背面减薄至 7~8 μm ,使硅晶圆在自然光下几乎透明,如图 1(a)所示;在硅功率芯片领域,已成功

突破 12 英寸硅芯片/玻璃室温键合和背面减薄技术,使芯片减薄至 15 μm (比英飞凌的最新结果薄 5 μm),厚度均匀性控制在 $\text{TTV} \leq 2 \mu\text{m}$,如图 1(b, g)所示。这种厚度的超薄晶圆能够有效降低功率损耗,提高芯片的散热性能。在压电 MEMS 领域,成功实现 6 英寸单晶铌酸锂与图形化硅的超平整键合,铌酸锂背面减薄至 15 μm ,8 英寸单晶铌酸锂减薄到 8~10 μm ,完全满足新型压电 MEMS 器件的开发需求,如图 1(c, d, f)所示。目前,本团队已经实现硅、铌酸锂、钽酸锂、氧化镓和磷化铟等多种晶圆体系的异质异构集成工艺,多种晶圆键合质量和减薄参数已经满足压电 MEMS、功率芯片、热释电等器件的关键技术开发需求。此外,针对大尺寸临时键合和解键合设备价格昂贵的问题,本团队未来还将着手开发大尺寸晶圆临时键合机和解键合机,推动相关技术从实验室走向实际应用。这些设备将以优越的性价比和性能表现,为国内半导体产业提供经济、高效的解决方案。

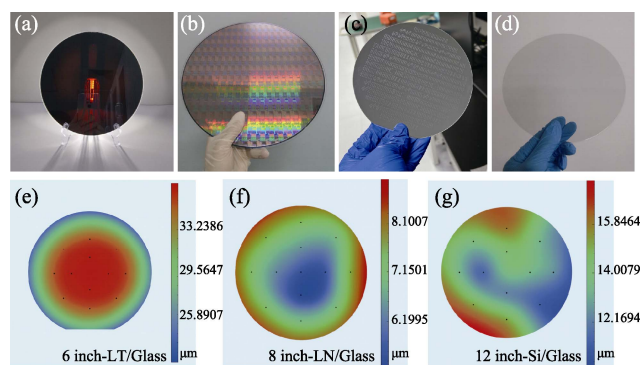


图 1 室温超平整键合和减薄后的样品

Fig. 1 Samples after room-temperature ultra-flat bonding and thinning

(a) 8-inch silicon wafer bonded to glass at room temperature, with silicon thinned to 7 μm ; (b) 12-inch silicon chip/glass bonded at room temperature, with silicon chips thinned to 15 μm from the backside; (c) 6-inch single-crystal lithium niobate bonded to patterned silicon wafer, with lithium niobate thinned to 15 μm ; (d) 8-inch lithium niobate/glass bonded wafer, with lithium niobate thinned to 8 μm ; (e) Thickness distribution map of 6-inch lithium tantalate wafer; (f) Thickness distribution map of 8-inch lithium niobate wafer; (g) Thickness distribution map of 12-inch silicon chip wafer

参考文献:

- [1] MOTOYOSHI M. Through-silicon via (TSV). *Proceedings of the IEEE*, 2009, **97**: 43.
- [2] DONG Z, LIN Y. Ultra-thin wafer technology and applications: a review. *Materials Science in Semiconductor Processing*, 2020, **105**: 104681.