

## 高频大功率金刚石薄膜场效应管的研究进展

刘金龙, 李成明, 陈良贤, 黑立富, 吕反修

(北京科技大学 材料科学与工程学院, 北京 100083)

**摘要:** 随着 CVD 人工合成金刚石薄膜质量的不断提高, 其优异的电学性能在高频、大功率领域特别是场效应管中的应用受到了极大地关注. 制作金刚石薄膜场效应管, 电子级质量的薄膜、形成良好的接触以及半导体的形成是其关键技术. 以此为基础, 为达到其在高频大功率下使用的目的, 减小栅长和各种寄生参数以及提高耐压和散热能力成为决定其性能优劣的关键因素. 本文针对金刚石薄膜场效应管制作的关键技术的突破、H 端基表面导电机制、目前高频大功率场效应管的水平以及出现的一些相关在研热点进行了综述, 展望了其巨大的优越性和广阔的应用前景.

**关键词:** 金刚石薄膜; 高频; 大功率; 场效应管; 综述

中图分类号: TN304; TN386

文献标识码: A

## Progress of High Frequency and High Output Power FET

LIU Jin-Long, LI Cheng-Ming, CHEN Liang-Xian, HEI Li-Fu, LÜ Fan-Xiu

(School of Materials Science and Engineering, University of Science and Technology Beijing, Beijing 100083, China)

**Abstract:** Diamond films have been paid much attention in high frequency and high output power field, especially in field effect transistors (FET) with its outstanding electrical properties in the last two decades. For optimum electronics performance, quality of electronic films, good contacts and forming semiconductors are key techniques to make FETs. How to reduce gate length and various parasitic parameters and improve withstand voltage and heat-sinking capability determines whether FETs are of high-performance. The breakouts of key techniques, research progress and related hot spots of diamond films for high frequency and high output power FETs are reviewed. Mechanisms proposed to explain electrical conductivity of H-terminated diamonds are also presented.

**Key words:** diamond film; high frequency; high output power; FET; review

随着电子技术朝着高频率、大功率方向发展, 传统的半导体材料如 Si、GaAs 已渐渐不能满足其器件需求. 如图 1 所示, 对于移动通讯设备, 采用 GaAs 场效应管及异质结双极晶体管虽然满足其 1.45GHz 的频率要求, 其输出功率密度仅限于 1W/mm, 而对于更高频、大功率的广播站、低轨卫星通信中继站等领域, 则迫切需求新一代宽禁带半导体材料<sup>[1]</sup>.

近年来随着大面积金刚石薄膜气相合成技术的出现, 金刚石应用范围得到了极大地拓展<sup>[2-3]</sup>. 特别是金刚石优异的电学性能如表 1 所示, 宽带隙 (5.5eV)、高载流子迁移率(特别是空穴迁移率比单晶

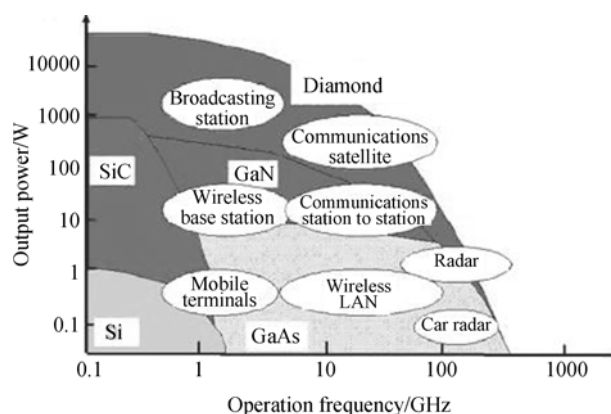


图 1 高频大功率领域对半导体材料的需求<sup>[1]</sup>

Fig. 1 Requirement for RF high-power devices of semiconductors<sup>[1]</sup>

收稿日期: 2010-02-15; 收到修改稿日期: 2010-04-12

作者简介: 刘金龙(1985-), 男, 博士研究生. 通讯联系人: 李成明, 教授, 博导. E-mail: chengmli@mater.ustb.edu.cn

表 1 金刚石和 $\beta$ -SiC、GaAs 和 Si 的电学性能对比				
Table 1 Electrical properties of diamond, $\beta$ -SiC, GaAs and Si				
Properties	Diamond	$\beta$ -SiC	GaAs	Si
Bandgap / eV	5.54	3.0	1.43	1.1
$V_{\text{saturation}} / (\times 10^7, \text{cm} \cdot \text{s}^{-1})$	2.7	2.5	1.0	1.0
Electron mobility / $(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	2200	400	8500	1500
Hole mobility / $(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	1600	50	400	600
Breakdown voltage / $(\times 10^5, \text{V} \cdot \text{cm}^{-1})$	100	40	60	3
$\epsilon_r$	5.5	9.7	12.5	11.8
$\rho / (\Omega \cdot \text{s})$	$10^{13}$	150	$10^8$	$10^3$
Johnson figure of merit / $(\times 10^{23}, \text{W} \cdot \Omega \cdot \text{s})$	73856	1024	62.5	9.0
Key figure of merit / $(\times 10^2, \text{W} \cdot ^\circ\text{C} \cdot \text{cm}^{-1} \cdot \text{s}^{-1})$	444	90.3	6.3	13.8

Si、GaAs 高得多)、高的 Johnson 指标和 Keyse 指标(均高于 Si 和 GaAs 十倍以上)等等,在“电子质量级”金刚石薄膜中得到了很好的保留,从而开辟了金刚石薄膜在电子器件上应用的可能性.随着金刚石薄膜微细加工技术和性能测试技术的进步,金刚石薄膜在电子器件方面的应用研究已从最初的热沉材料、温度传感器扩展到显示器用场发射阴极、辐射探测器等各个方面,特别是用于集成电路的高频大功率场效应管(Field Effect Transistor, 缩写 FET)的研制有望将超大规模和超高速集成电路带入一个崭新的时代.

本文主要针对目前金刚石薄膜在高频大功率 FET 器件中应用的最新进展以及相关的研究热点进行综述.

### 1 金刚石薄膜 FET 制作的关键技术

作为电子级金刚石薄膜,最基本要求是具有低的本征缺陷密度、低的杂质(氮)含量并有光滑平整的表面.考虑到晶界和缺陷对其电学性能的影响通常采用外延单晶或取向薄膜. Tallaire 等<sup>[4]</sup>采用微波等离子辅助化学气相沉积制备的外延金刚石薄膜,其形貌呈塔尖型,具有单晶特征(如图 2).利用波长 514nm 的可见光和紫外光激发的光致发光谱(如图 3 (a)、3(b))表征,结果表明金刚石薄膜中几乎难以发现常见的氮和硅相关缺陷的特征峰. Tang 等<sup>[5]</sup>研究表明,金刚石薄膜的生长取向同薄膜生长过程中的沉积参数,如衬底温度、气压、碳源比例等密切相关.除此之外, Bauer 等<sup>[6]</sup>发现,对于作为金刚石薄膜衬底的材料,通过适当选择某晶面的邻角,可以有效提高外延金刚石膜的质量.

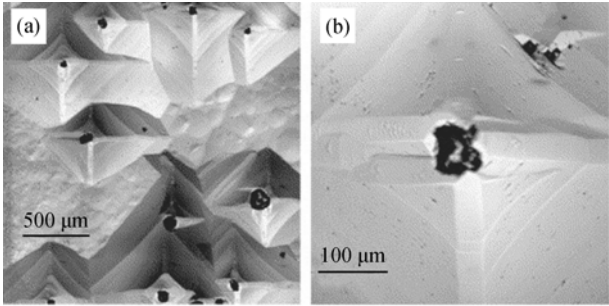


图 2 外延金刚石薄膜差示干涉差显微照片<sup>[4]</sup>  
Fig. 2 DICM images of the epitaxial CVD diamond films grown at 1000℃<sup>[4]</sup>  
(a) Sample overview; (b) High magnification

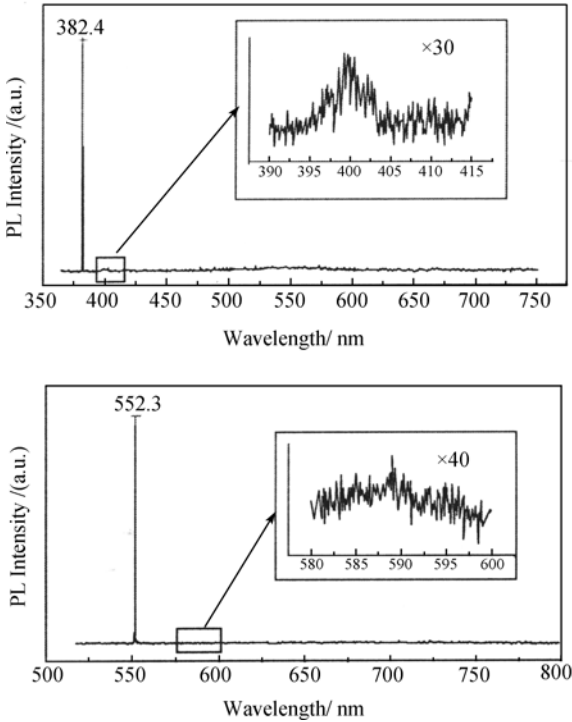


图 3 外延金刚石薄膜拉曼光致发光谱<sup>[4]</sup>  
Fig. 3 Raman photoluminescence spectra of the epitaxial CVD diamond films<sup>[4]</sup>  
(a) With UV excitation; (b) With visible excitation

金刚石薄膜与金属电极间形成欧姆接触还是肖特基接触与其表面能带、形貌、界面层等因素密切相关<sup>[7]</sup>. Evans 等<sup>[8]</sup>采用实时光电子能谱结合原位电性能测试表征了 Al-金刚石(001)接触在升温过程的变化,发现在低温过程中, C 和 Al 的活性低,很难形成键连,表现出强的肖特基特性.当温度在 755K 至 1020K 时, C 和 Al 形成键连产生高的能态密度,从而使费米能级接近价带顶,降低界面势垒.随着温度继续升高,形成碳化物 Al<sub>4</sub>C<sub>3</sub>,使界面成为欧姆接触.目前为了获得欧姆接触,通常的方法是在薄膜和金属之间引入过渡层. Wade 等<sup>[9]</sup>采用在 P 型掺杂的金刚石膜上沉积 Si 的方法形成碳化物过渡层,

随后沉积金属电极,经测试电阻率仅为  $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 。除此之外, Ti 也是一种比较理想的形成过渡层的材料。

本征金刚石薄膜是绝缘的,经过掺杂后有可能成为室温下优良的半导体,因此常将金刚石划分到宽禁带半导体中。直到目前,低温下金刚石的 N 型掺杂仍然没有解决。Kato 等<sup>[10]</sup>最近才以 P 作掺杂源,制备了室温下空穴迁移率为  $350 \text{cm}^2/(\text{V} \cdot \text{s})$  的 N 型金刚石薄膜,但是掺杂的有效控制依旧是个难点。与之不同,由于金刚石薄膜可进行 B 的浅掺杂,同时 H 端基终结的金刚石表面也具有 P 型半导体特征,因此对 P 型半导体的研究得到了进一步开展。

## 2 金刚石薄膜 P 型半导体

### 2.1 $\delta$ 掺杂

早期研究硼掺杂氧端基表面的金刚石薄膜时,发现掺杂浓度达到  $1 \times 10^{17} \text{cm}^{-3}$  以上时,由于高密度空间电荷的作用,反偏下的耗尽层电场调谐变小,使电流控制性变差。然而 B 掺杂时,只有当掺杂浓度达到  $1 \times 10^{20} \text{cm}^{-3}$  时,载流子才能完全激活。另一方面,为保证金刚石薄膜受电压调谐而不被电击穿, FET 沟道的层电荷密度应保持在  $4 \times 10^{13} \text{cm}^{-2}$ <sup>[11]</sup>。由此产生了  $\delta$  掺杂的概念。 $\delta$  掺杂是通过一种特殊的脉冲掺杂沉积工艺,得到掺杂浓度在很小区域陡变的沉积层。为了得到高的载流子迁移率,即空穴都在掺杂峰外的高载流子迁移率环境下移动,这一区域应小于德拜长度  $L_D$  (对于掺杂浓度为  $1 \times 10^{20} \text{cm}^{-3}$  时,  $L_D$  仅为  $0.3 \text{nm}$ )。如图 4(a)所示,是 Aleksov 等<sup>[12]</sup>报道的采用  $\delta$  掺杂工艺制得表面层的弹性反冲测试结果,最高掺杂浓度为  $7 \times 10^{20} \text{cm}^{-3}$ ,比预期值偏高,其半峰宽仅有  $0.9 \text{nm}$ ,也已达达到单原子层控制的精度。另外其空穴迁移率可达  $350 \text{cm}^2/(\text{V} \cdot \text{s})$ ,要高于理论值,说明此时载流子在峰值外的迁移已经占据了主导。对于肖特基栅极,由于金属和掺杂区载流子的隧穿导致高的漏电流,弹性反冲测试将不适用,取而代之的是电容-电压测试。另外由于后者属于非破坏性测试,因此使得对于同一样品的电性能和化学性能表征成为可能。El-Hajj 等<sup>[13]</sup>采用电容-电压测试对  $\delta$  掺杂层进行表征,提取出的载流子截面分布如图 4(b)所示。最高自由载流子浓度为  $1 \times 10^{21} \text{cm}^{-3}$ ,界面总体电荷密度为  $4 \times 10^{13} \text{cm}^{-2}$ 。对于相同的试样测得的载流子迁移率仅为  $30 \text{cm}^2/(\text{V} \cdot \text{s})$ ,表明载流子被限制在掺杂区域,同时也说明用于掺杂浓度精确分布控制的  $\delta$  掺杂工艺的难度<sup>[14]</sup>。

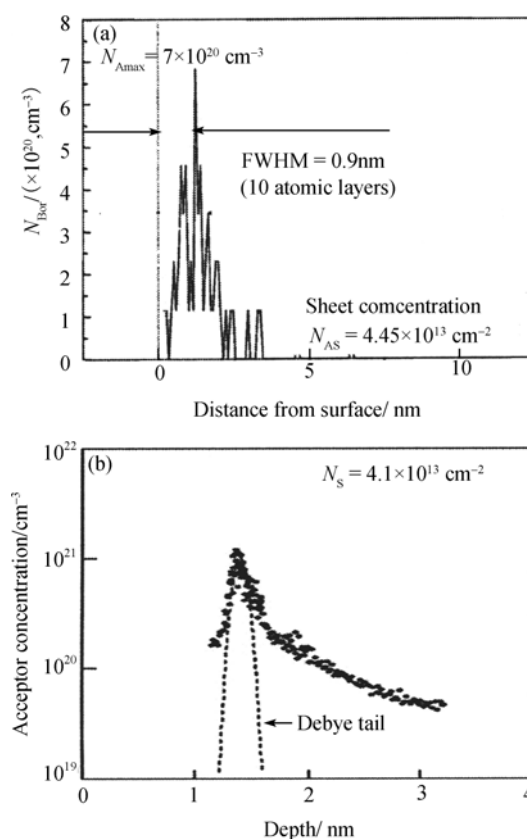


图4  $\delta$  掺杂表层掺杂浓度分布

Fig. 4 The acceptor profile of  $\delta$ -doped layers

(a) By ERD analysis<sup>[12]</sup>; (b) Extracted from C-V characteristics<sup>[13]</sup>

### 2.2 H 端基表面沟道

尽管具有 H 端基的金刚石薄膜表面具有 P 型半导体特性,且其表面电荷密度稳定在  $10^{13} \text{cm}^{-3}$  量级这一现象很早便被人发现<sup>[15]</sup>,然而对于其导电的机理却有不同看法: 1. 次表层的 H 原子提供受主能级; 2. 和表面吸附介质有关,通过电荷转移反应,激发价带产生空穴。最近的研究从实验和理论上均证明后者是正确的。Nebel 等<sup>[16]</sup>采用霍尔效应实验研究 H 端基金刚石薄膜的导电机理,结果表明: 电子从价带向表面吸附层转移形成空穴累积层,如图 5 所示,即 C-H 偶极子势垒导致空穴的聚集。随后他们采用薛定谔方程和泊松方程理论计算出在金刚石薄膜 H 端基表面价带中费米能为  $70 \text{meV}$ ,同接触点位差分测试结果一致,同时表明表面出现二维态密度分布,揭示了表面存在二维空穴平面<sup>[17]</sup>。Kubovic 等<sup>[18]</sup>通过对金属-金刚石界面和金刚石-液相界面的研究发现,在界面处均存在一个绝缘层,且为有耗介质。这一结果也证明了表面受主和吸附层有关,同时作为肖特基结使用时,实质为 MISFET 而非 MESFET,因此不会引起漏电流。而且他们估计该介质层在  $10 \text{nm}$  左右,且其介电系数要比金刚石要高。随后, Kasu 等<sup>[19]</sup>采用等效电路的方法模拟了金刚石薄膜

FET 在不同栅源电压下空穴的分布, 指出: 栅源间电容在栅源电压为  $-0.5$  到  $-2.0\text{V}$  下为稳态, 这种情况只有在 MISFET 中才会出现, 暗示了介电层的存在, 并且采用能带图解释了空穴穿入能垒的过程, 如图 6 所示. 接着他们采用电容-电压表征, 发现 Al 电极和 H 端基金刚石表面间有能垒, 根据介电常数估算, 认为该介电层分为两部分, 厚度分别为  $6.8$  和  $11\text{nm}$ , 与其 TEM 观察结果相似(如图 7 所示). 因此怀疑观察到的即为介电层<sup>[20]</sup>. Kubovic 等<sup>[21]</sup>进一步研究发现在欧姆接触下并未发现能垒层, 而对以上观察到的能垒层进行成分分析, 发现能垒层由 H、O、I 等元素组成, 具体成分尚待确认, 但通过相关材料的介电常数推导的厚度与试验结果符合较好.

### 3 高频大功率金刚石薄膜 FET 的研究进展

金刚石薄膜由于其优异的电学性能在高频、大

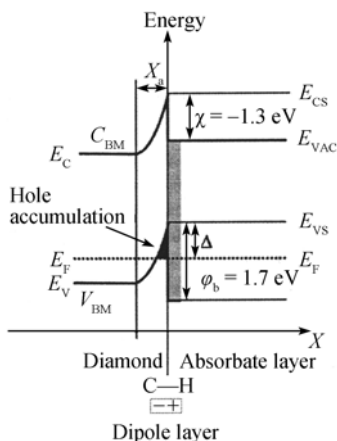


图 5 H 端基金刚石表面态密度分布<sup>[16]</sup>

Fig. 5 Density of state distribution at the surface of hydrogen terminated diamond<sup>[16]</sup>

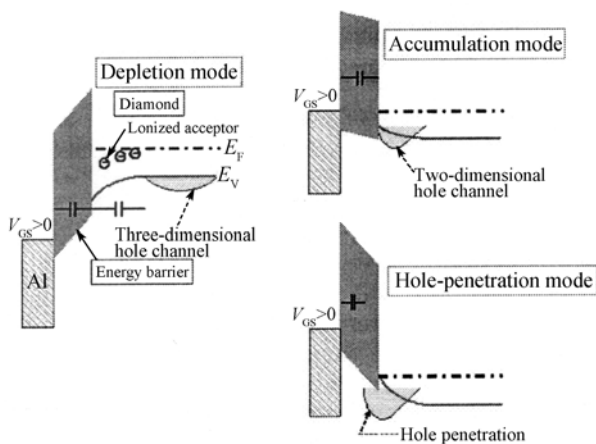


图 6 表征  $C$ - $V$  特性的金刚石薄膜 FET 能带图谱<sup>[19]</sup>

Fig. 6 Diamond-FET band diagrams explaining the gate-source  $C$ - $V$  characteristics<sup>[19]</sup>

(a) Depletion mode; (b) Accumulation mode; (c) Hole-penetration mode

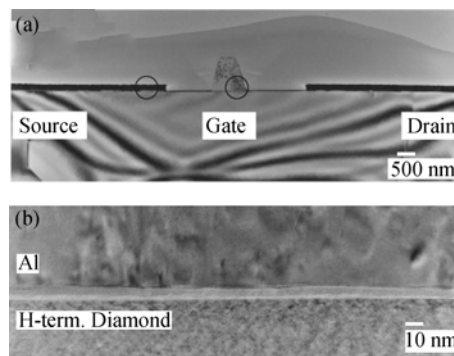


图 7 H 端基 FET 截面的 TEM 照片<sup>[20]</sup>

Fig. 7 Cross-sectional TEM images of hydrogen-terminated FET<sup>[20]</sup>

(a) Entire structure; (b) Gate region

功率电子器件中得到应用和研究无疑是一个亮点, 也是一个热点, 而目前几乎所有的金刚石薄膜 FET 均是基于 P 型半导体利用肖特基接触制作的.

#### 3.1 $\delta$ 掺杂金刚石薄膜 FET

早在 2001 年, 为提高器件速度及击穿电压, Kohn 等<sup>[22]</sup>对室温下具有栅极凹槽和静电起电板的  $\delta$  掺杂金刚石薄膜场 FET 的输出特性进行了模拟, 从  $I$ - $V$  曲线中提取的输出功率密度为  $27\text{W/mm}$ , 这样的结果比以 GaN 半导体制作的 FET 的输出功率密度高两倍. 随后他们考虑了静电起电板尺寸的影响, 当栅长为  $0.1\mu\text{m}$  时, 从模拟  $I$ - $V$  曲线中提取的最高输出功率密度为  $34\text{W/mm}$ . 随着静电起电板尺寸的增加, 最高输出功率密度有望达到  $75\text{W/mm}$ , 如图 8 所示, 表明  $\delta$  掺杂金刚石薄膜 FET 具有很好的高频大功率特性<sup>[23]</sup>. 尽管如此, 由于  $\delta$  掺杂工艺的难度大, 对于  $\delta$  掺杂金刚石薄膜 FET 的微波性能却是 El-Hajj 等<sup>[14]</sup> 2008 年才提出.

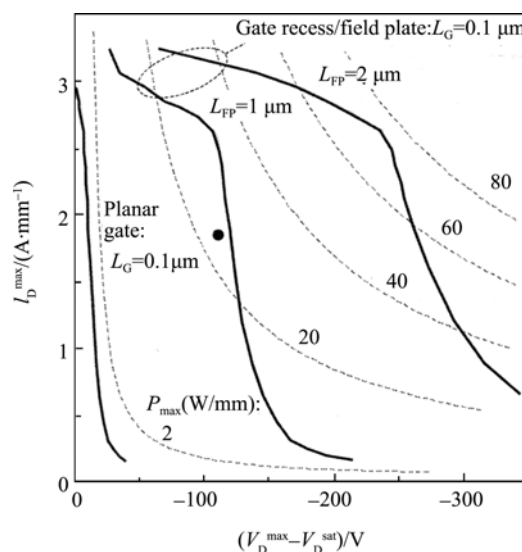


图 8  $\delta$  掺杂沟道 FET 结构模拟  $I$ - $V$  曲线<sup>[23]</sup>

Fig. 8 Theoretical RF power handling capabilities of  $\delta$ -doped channel FET structures<sup>[23]</sup>

他们采用  $\text{Al}_2\text{O}_3$  作为绝缘层减少漏电流, 采用  $\delta$  掺杂金刚石薄膜上的本征保护层测量源沟道电阻. 当栅长  $0.8\mu\text{m}$  时, 其直流输出特性如图 9(a)所示, 最大漏电流约为  $130\text{mA}/\text{mm}$ . 在小的漏偏压下, 栅源电压为  $5.0\text{V}$  时, 沟道被截止. 对于寄生分流电阻  $3\text{k}\Omega\cdot\text{mm}$ , 主要是由于缓冲层的残余掺杂所致, 缓冲层的性能限制了最高偏压. 而对于栅长为  $4\mu\text{m}$  的射频性能, 由于寄生电阻的影响, 截止频率外延得到的最终结果为截止频率  $1\text{GHz}$ , 最高频率  $3\text{GHz}$ , 如图 9(b)所示. 另外该器件低的沟道载流子迁移率仍然是难以达到极为陡的掺杂层分布所致.

### 3.2 P-I-P 结构

该结构采用离子注入或者选择沉积的方式得到的 B 掺杂 P 型半导体作为源极和漏极, 而采用本征金刚石薄膜作为载流子传输沟道. 由于本征金刚石薄膜的空穴传导为空间电荷限制电流机制, 可以得到比欧姆电导机制大得多的传输电流, 而且空穴迁

移速率比掺杂型快很多使得其更适于在高于  $10\text{GHz}$  的频率下使用. 早期 Miyata 等<sup>[24]</sup>采用数值模拟的方法对 P-I-P 结构进行了分析, 认为栅极在理想状况下, 可以得到  $2\text{A}/\text{mm}$  的输出电流和  $30\text{GHz}$  的截止频率.

Kawakami 等<sup>[25-26]</sup>通过实验和模拟的方法对 P-I-P 型 FET(如图 10) 进行了系统研究. 该结构最大跨导可达  $316\mu\text{S}/\text{mm}$ ; 当漏电压绝对值小于  $1\text{V}$  时, 体系为欧姆导电, 而当大于  $1\text{V}$  时, 表现为空间电荷限制电流机制. 欧姆导电主要归因于本征金刚石薄膜的残余掺杂, 而空间电荷限制电流机制主要源于载流子跨越 P 型半导体和本征金刚石膜界面. 当栅极电压大于  $12\text{V}$  时产生的漏极电流漂移主要归因于基体的陷阱填充限制. 对于如何进一步提高电流密度以及避免源漏寄生电阻等优化问题成为下一步研究方向.

### 3.3 H 端基表面金刚石薄膜 FET

与  $\delta$  掺杂金刚石薄膜 FET 不同, 由于 H 端基表面金刚石薄膜 P 型半导体很容易实现, 因此目前对于 H 端基表面金刚石薄膜制作的高频率、大功率 FET 器件的研究是较为深入和系统的.

金刚石薄膜 FET 要实现高频化, 第一步要缩短栅长(高频特性通常与栅长倒数成比例). Umezawa 等<sup>[27]</sup>采用自对准工艺分别制作了栅长为  $1\mu\text{m}$  的 MESFET 和栅长  $1.1\mu\text{m}$  的 MOSFET. 前者的最高跨导为  $110\text{mS}/\text{mm}$ , 后者的最高跨导也达到了  $86\text{mS}/\text{mm}$ . 同时他们测量了栅长  $2\mu\text{m}$  的 Cu/金刚石 MOSFET 从  $50\text{MHz}$  到  $20\text{GHz}$  的小信号 S 参数, 如图 11 所示. 从图 11(a)推导出的小信号射频增益如图 11(b). 其截止频率和最高频率分别为  $2.2$  和  $7\text{GHz}$ , 并且他们预测当栅长为  $0.5\mu\text{m}$  时, 截止频率可以达到  $8\text{GHz}$ . 随后他们制作了只有  $0.7\mu\text{m}$  栅长的 MISFET, 其截止频率和最大击穿频率进一步提高达到了  $11$  和  $18\text{GHz}$ <sup>[28]</sup>. Aleksov 等<sup>[29]</sup>也制作了  $0.2\mu\text{m}$  的栅极, 其跨导最高值为  $148\text{mS}/\text{mm}$ , 截止频率和最大频率达到了  $11.5$  和  $31.7\text{GHz}$ , 并预测栅长达到  $0.1\mu\text{m}$  时, 截止频率有望达到  $20\text{GHz}$ .

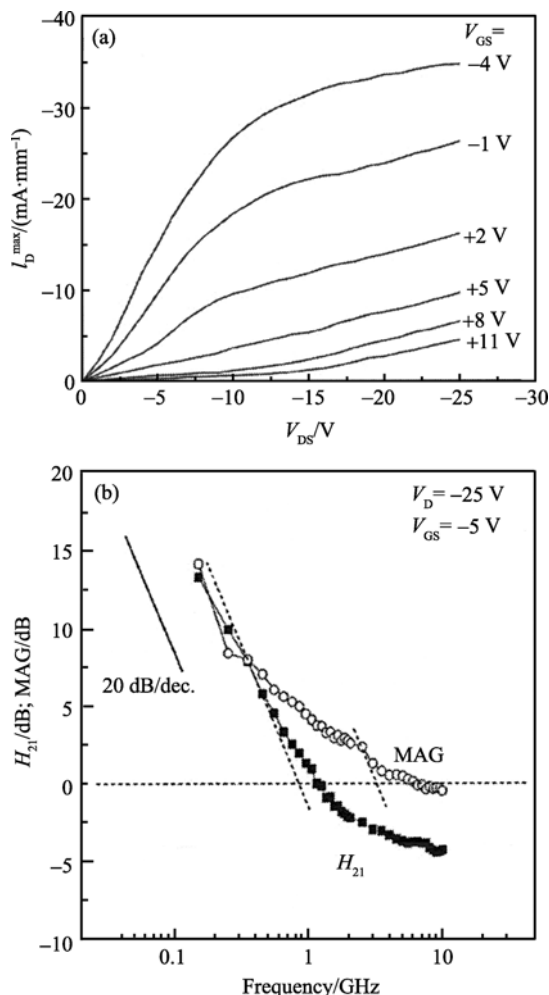


图9  $\delta$  掺杂金刚石薄膜 FET 表征<sup>[14]</sup>

Fig. 9 Electrical properties characterization of  $\delta$ -doped diamond film FET<sup>[14]</sup>

(a) DC output characteristics( $L_g=0.8\mu\text{m}$ ); (b) RF output characteristics( $L_g=4\mu\text{m}$ )

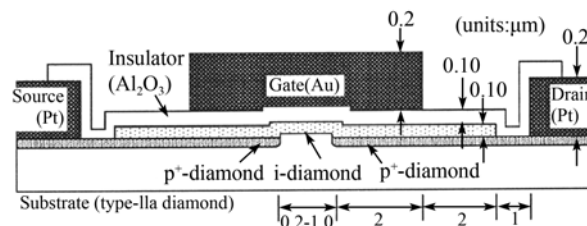


图10 P-I-P 型 MOSFET 结构示意图<sup>[25]</sup>

Fig. 10 Schematic diagram of P-I-P MOSFET<sup>[25]</sup>

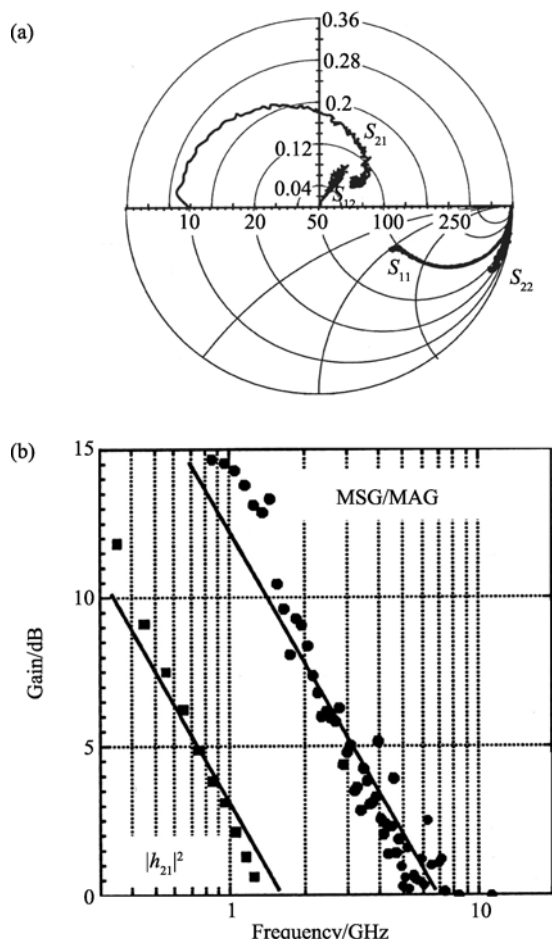


图 11 H 端基表面金刚石薄膜 MOSFET (栅长  $2\mu\text{m}$ ) 射频输出特性<sup>[27]</sup>

Fig. 11 RF output characteristics of MOSFET based on H-terminated diamond film ( $L_g=2\mu\text{m}$ )<sup>[27]</sup>

(a) Small signal characteristics; (b) RF output characteristics

尽管金刚石薄膜 FET 的高频性能可通过不断减小栅长实现, 然而当栅长达到  $0.1\mu\text{m}$  甚至更小时, 将出现强烈的短沟道效应. 为解决此问题, 一方面要保证栅长与有源层厚的纵横比, 另一方面仍不得不增加有源层的掺杂浓度. 如 Kubovic 等<sup>[30]</sup>采用高质量的非掺杂缓冲层制作的栅长  $0.2\mu\text{m}$  的 FET, 其截止频率可以达到  $24.6\text{GHz}$ , 最高频率可达  $80\text{GHz}$ . 这样优异的性能不仅是由于采用了 T 型栅极、自对准优化工艺, 而且和缓冲层的高载流子迁移率相关.

金刚石薄膜 FET 高频化的第二步是减少源电阻、栅电阻、源电感及栅极-漏极间的电容等寄生参数的影响, 如图 12 所示. 为减小源电阻、栅电阻和栅源电容, 进一步减小栅源间距是必要的.

Hirama 等<sup>[31]</sup>通过制作 T 型栅极的方法来降低栅漏间的寄生参数, 在栅长  $0.2\mu\text{m}$  的 MISFET 上得到了截止频率为  $11\text{GHz}$  的性能, 相应的栅极电阻由常规栅极结构的  $100\Omega$  降到了  $5\Omega$ . 同时 MISFET 中

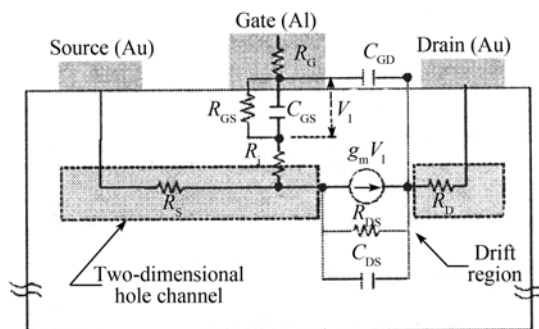


图 12 H 端基表面金刚石薄膜 FET 寄生参数的等效电路<sup>[19]</sup>

Fig. 12 Equivalent circuit of H-terminated diamond film FET's parasitic parameters<sup>[19]</sup>

的绝缘层的种类和厚度也将影响栅漏电容进而影响器件的高频性能. Kohn 等<sup>[32]</sup>报道了  $\text{Al}_2\text{O}_3$  绝缘层厚度仅为  $8\text{nm}$  的 MISFET, 其截止频率在栅长为  $0.3\mu\text{m}$  时就已达到  $30\text{GHz}$ , 甚至可以大胆预期在工艺参数最优化时, 栅长为  $0.1\mu\text{m}$  时截止频率可达到  $100\text{GHz}$ . 这对于应用于高频下的金刚石薄膜 FET, 无疑是令人振奋的.

大功率 FET 若想在微波带工作, 首先必须考虑上述的高频化. 在此基础上, 还需考虑以下两点:

- (1) 设计大电流且高耐压 FET 以提高输出功率;
- (2) 由于很大部分直流输入功率转变为热能, 因此, 散热问题需充分考虑.

对于电流的提高, 通过有效掺杂提高载流子迁移率即可实现, 而对于电压的提高, 除了通过形成较好的欧姆接触从而避免漏极击穿外, 栅极击穿电压的提高常常通过选择有效的绝缘层而实现. MISFET 由于绝缘体的存在使得栅极漏电流很小, 从而提高其高频大功率性能. Aleksov 等<sup>[29]</sup>在其它参数相同情况下, 比较了 MISFET 和 MESFET 的性能, 发现前者由于绝缘层的存在使得栅极电容降低从而提高了截止频率, 同时其输出功率也进一步得到改善. Miyamoto 等<sup>[33]</sup>研究发现除了栅极电容降低作用外, 绝缘层  $\text{CaF}_2$  钝化的金刚石表面区的载流子移动速率增加也是其性能增大的一个重要原因. 通常 FET 都是在高电阻缓冲层上连续外延低电阻率 P 型有源层, 而缓冲层击穿电压对 FET 功率提高也有重要影响. 首先, 由于深能级准位充满导致饱和的漏极电流将随漏极电压增大而再一次增加. 其次, 随着高漏极电压的施加, FET 内部将遭到破坏, 虽然可以简单地理解为绝缘层失去高电阻性, 但实际过程十分复杂. Kubovic 等<sup>[30]</sup>采用缓冲层使 FET 高频性能得到了提高, 却使输出功率下降很多, 只有  $0.35\text{W/mm}$ . 目前报道中, 输出功率最高值为  $3\text{W/mm}$ <sup>[29]</sup>, 尽管这个报道是在栅长  $5\mu\text{m}$  的情况下

得到的, 还有很大的提升空间, 但是其性能不稳定. 而 Kasu 等<sup>[34]</sup>采用高纯气体, 制作的栅长  $0.1\mu\text{m}$  的 MESFET, 在 A 类工作模式下, 其最大输出功率密度为  $2\text{W}/\text{mm}$ , 这是目前可以被接受的最高值, 而最大功率增益达到了  $10.9\text{dB}$ , 功率附加效率达到了  $31.8\%$ , 如图 13 所示.

H 端基金刚石薄膜之所以可用于大功率 FET 的另一个重要原因是其高的导热率 ( $22\text{W}/(\text{cm}\cdot\text{K})$ ). GaAs 和 GaN 场效应管通常在高的漏极电流下, 电导会降低, 跨导出现负值, 即出现所谓自热效应. 而这种结果在金刚石薄膜中却不易出现. Kasu 等<sup>[35]</sup>比较了具有相似输出功率、尺寸和构造的 GaAs 和金刚石 FET 的温度, 发现前者相应的温度升高  $60^\circ\text{C}$ , 而后者仅升高  $0.64^\circ\text{C}$ . 这样的结果同 Aleksov 等<sup>[12]</sup>模拟的结果: 功率在  $108\text{W}$  时, 温升  $200^\circ\text{C}$  一致. 同时表明: 当射频功率达到  $50\text{W}$  时, 温度将升到  $100^\circ\text{C}$ , 而这样的温度并不会使器件性能恶化.

## 4 相关热点的研究

随着 H 端基金刚石薄膜 FET 的研究不断深入, 目前与高频大功率金刚石薄膜 FET 开发相关的热点主要有: H 端基表面沟道的导电机理研究(见 3.2 节); H 端基金刚石薄膜表面钝化的研究; 多晶金刚石薄膜 FET 的研制.

### 4.1 H 端基金刚石薄膜表面钝化

H 端基金刚石薄膜表面的不稳定性体现在两个方面: 一是由于 C-H 表面形成强烈的键合, 很难与表面形成稳定的共价键, 导致欧姆接触电阻不稳定甚至破坏. 二是金刚石薄膜表面形成的 H 端基在高的偏压或高温下将变得不稳定, 影响导电性能. 对

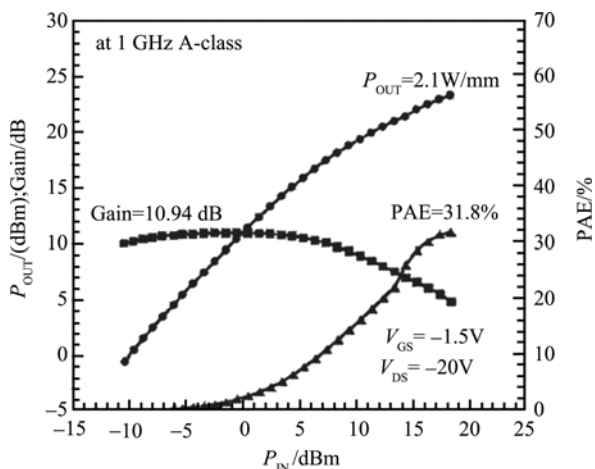


图 13 栅长  $0.1\mu\text{m}$  金刚石薄膜 FET 的性能<sup>[34]</sup>

Fig. 13 Electrical properties of diamond film FET<sup>[34]</sup> ( $L_g=0.1\mu\text{m}$ )

于前者可采用诸如 O 端基  $\delta$  掺杂形成欧姆接触层的方法(Kueck 等<sup>[36]</sup>制作的 FET 如图 14 所示)以及涂覆树脂的方法. 通过 H 端基表面涂覆不同的树脂, 发现稳定性随树脂厚度而变化, 而导电性变化却不明显<sup>[37]</sup>. 然而这样的方法仅适于  $200^\circ\text{C}$  以下, 对于高温下不稳定的 H 端基, Kueck 等<sup>[38-39]</sup>提出了采用原子层沉积技术制作  $\text{Al}_2\text{O}_3$  钝化层的结构(如图 15), 这一结构兼具双栅极结构和静电积电板结构, 尽管具体的测试结果还没有给出, 但是实验结果表明这样的构造能够承受大的电压, 同时能够提高由 H 端基激发的载流子的稳定性.

### 4.2 多晶金刚石薄膜 FET 的研制

传统观点认为多晶材料晶界对 FET 的电学性能有很大的影响, 尤其是对载流子迁移的阻碍. 因此前述均为单晶或高度取向金刚石薄膜, 对于多晶金刚石薄膜早期的一些研究结果并不能引起人们注意. 即使栅长  $0.7\mu\text{m}$  时, 最高跨导、截止频率和最高频率分别达到  $70\text{mS}/\text{mm}$ 、 $2.7\text{GHz}$ 、 $3.8\text{GHz}$ , 由于晶界处寄生电容的存在, 导致跨导和截止频率均存在波动<sup>[40]</sup>. 然而一方面出于大面积半导体器件的生产工艺需要, 另一方面随着 FET 沟道尺寸同晶粒尺寸的接近, 使得对于多晶甚至纳米晶金刚石薄膜制作的 FET 的研究成为热点. Madaleno 等<sup>[41-42]</sup>采用构造肖特基二极管的方法比较了多晶金刚石膜生长面和形核面的电学性质, 发现生长面由于粗糙度的原因, 比形核面态密度低. 随后他们采用自支撑多晶金刚石膜在形核面制作了 MISFET, 尽管具有 FET 特征, 但由于仅利用本征晶界缺陷导电, 因此源漏电流很低,

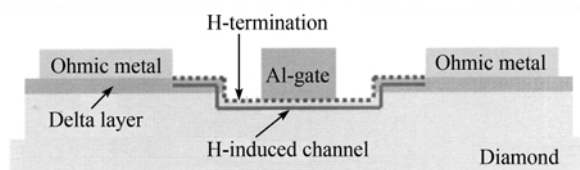


图 14 O 端基  $\delta$  掺杂形成欧姆接触的结构示意图<sup>[36]</sup>

Fig. 14 Schematic diagram of ohm contacts based on O-terminated  $\delta$  layer<sup>[36]</sup>

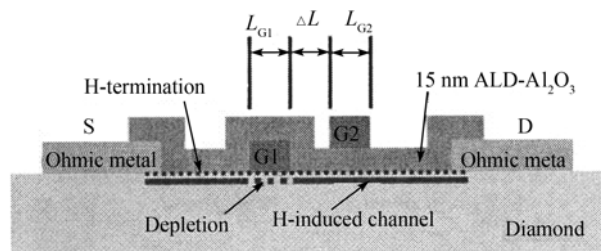


图 15  $\text{Al}_2\text{O}_3$  作为钝化层的双栅极 FET 结构示意图<sup>[38]</sup>

Fig. 15 Schematic diagram of dual-gate FET passivated by  $\text{Al}_2\text{O}_3$ <sup>[38]</sup>



电阻很高. 他们的结果一方面说明了多晶金刚石膜的质量较高, 另外也提出了 H 端基表面处理制作半导体的必要性. Kubovic 等<sup>[43]</sup>基于纳米晶金刚石薄膜制作的栅长 0.3 $\mu\text{m}$  的 MESFET, 尽管空穴迁移率很低, 但是却表明载流子迁移沟道在晶界处同样可以被调制. Calvani 等<sup>[44]</sup>研究不同电子质量(晶粒尺寸)的金刚石薄膜 FET 性能时发现, 薄膜电子质量的不同对于直流特性影响不太明显, 而对射频特性影响显著. 尽管如此, 栅长 0.2 $\mu\text{m}$ , 晶粒平均尺寸 200 $\mu\text{m}$  的金刚石薄膜 FET, 截止和最高频率分别达到了 10 和 35GHz. Ueda 等<sup>[45]</sup>严格控制杂质, 采用 10mm $\times$ 10mm $\times$ 0.5mm 多晶金刚石薄膜(平均晶粒尺寸 100 $\mu\text{m}$ )制作的栅长 0.1 $\mu\text{m}$  的 MESFET, 截止频率和最高频率分别达到了 45 和 120GHz, 是所有类型金刚石薄膜 FET 中最高值. 他们把最优的性能归因于晶粒尺寸和 FET 尺寸可比拟, 而且每个晶粒内部的质量接近于单晶的质量.

## 5 结束语

正如大功率 GaAs 场效应管应用于无线通信一样, 对于更高频、更大功率的应用, 金刚石薄膜 FET 的开发将具有里程碑式的意义. 随着与金刚石薄膜 FET 应用相关的物理本质的研究深入, 结合源于传统半导体器件的生产工艺在金刚石薄膜 FET 制作中的特殊性, 其在高频大功率领域将发挥出越来越重要的作用.

## 参考文献:

- [1] Kasu M, Ueda K, Yamauchi Y. Diamond-based RF power transistors fundamentals and applications. *Diamond and Related Materials*, 2007, **16**(4-7): 1010–1015.
- [2] 李建国, 丰杰, 梅军. 超纳米金刚石薄膜及其在 MEMS 上的应用研究进展. *材料导报*, 2008, **22**(7): 1–4.
- [3] Chaniotakis N, Sofikiti N. Novel semiconductor materials for the development of chemical sensors and biosensors: a review. *Analytica Chimica Acta*, 2008, **615**(1): 1–9.
- [4] Tallaire A, Achard J, Silva F, *et al.* Homoepitaxial deposition of high-quality thick diamond films: effect of growth parameters. *Diamond and Related Materials*, 2005, **14**(3-7): 249–254.
- [5] Tang C J, Pereira S M S, Fernandes A J S, *et al.* Synthesis and structural characterization of highly <100>-oriented {100}-faceted nanocrystalline diamond films by microwave plasma chemical vapor deposition. *Journal of Crystal Growth*, 2009, **311**(8): 2258–2264.
- [6] Bauer T, Schreck M, Sternschulte H, *et al.* High growth rate homoepitaxial diamond deposition on off-axis substrates. *Diamond and Related Materials*, 2005, **14**(3-7): 266–271.
- [7] Evan D A, Roberts O R, Williams G T, *et al.* Diamond-metal contacts interface barriers and real-time characterization. *Journal of Physics Condensed Matter*, 2009, **21**(36): 1–12.
- [8] Evans D A, Roberts O R, Vearey-Roberts A R. Direct observation of Schottky to Ohmic transition in Al-diamond contacts using real-time photoelectron spectroscopy. *Applied Physics Letters*, 2007, **91**(13): 132114–1–3.
- [9] Wade M, Muret P, Omnès F, *et al.* Technology and electrical properties of ohmic contacts and Schottky diodes on homoepitaxial layers grown on (100) diamond surfaces. *Diamond and Related Materials*, 2006, **15**(4-8): 614–617.
- [10] Kato H, Watanabe H, Yamasaki S, *et al.* N-type doping on (001)-oriented diamond. *Diamond and Related Materials*, 2006, **15**(4-8): 548–553.
- [11] Schwitters M, Dixon M P, Tajani A, *et al.* Diamond-MESFETs-Synthesis and Integration. The 2nd European Radar Conference, Paris, 2005.
- [12] Aleksov A, Kubovic M, Kaeb N, *et al.* Diamond field effect transistors-concepts and challenges. *Diamond and Related Materials*, 2003, **12**(3-7): 391–398.
- [13] El-Hajj H, Denisenko A, Bergmaier A, *et al.* Characteristics of boron  $\delta$ -doped diamond for electronic applications. *Diamond and Related Materials*, 2008, **17**(4/5): 409–414.
- [14] El-Hajj H, Denisenko A, Kaiser A, *et al.* Diamond MISFET based on boron delta-doped channel. *Diamond and Related Materials*, 2008, **17**(7-10): 1259–1263.
- [15] Landstrass M I, Ravi K V. Resistivity of chemical vapor deposited diamond films. *Applied Physics Letter*, 1989, **55**(10): 975–977.
- [16] Nebel C E, Ertl F, Sauerer C, *et al.* Low temperature properties of the p-type surface conductivity of diamond. *Diamond and Related Materials*, 2002, **11**(3-6): 351–354.
- [17] Nebel C E, Rezek B, Zrenner A, *et al.* Electronic properties of the 2D-hole accumulation layer on hydrogen terminated diamond. *Diamond and Related Materials*, 2004, **13**(11/12): 2031–2036.
- [18] Kubovic A, Denisenko A, Ebert W. Electronic surface barrier characteristics of H-terminated and surface conductive diamond. *Diamond and Related Materials*, 2004, **13**(4-8): 755–760.
- [19] Kasu M, Ueda K, Yamauchi Y. Gate capacitance-voltage characteristics of submicron-long-gate diamond field-effect transistors with hydrogen surface termination. *Applied Physics Letters*, 2007, **90**(4): 043509–1–3.
- [20] Kasu M, Ueda K, Kageshima H. Gate interfacial layer in hydrogen-terminated diamond field-effect transistors. *Diamond and Related Materials*, 2008, **17**(4/5): 741–744.
- [21] Kubovic M, Kasu M, Yamauchi Y. Structural and electrical properties of H-terminated diamond field-effect transistor. *Diamond and Related Materials*, 2009, **18**(5-8): 796–799.
- [22] Kohn E, Adamschik M, Schmid P, *et al.* Prospects of diamond devices. *J. Phys. D: Appl. Phys.*, 2001, **34**(16): R77–1–10.
- [23] Denisenko A, Kohn E. Diamond power devices: concepts and limits. *Diamond and Related Materials*, 2005, **14**(3-7): 491–498.
- [24] Miyata K, Nishemura K, Kobashi K. Device simulation of submicrometer gate p<sup>+</sup>-i-p<sup>+</sup> diamond transistors. *IEEE Trans. Electron Devices*, 1995, **42**(11): 2010–2014.



- [25] Kawakami N, Yokota Y, Tachibana T, *et al.* Fabrication of a sub-micron source-drain gap for p-i-p field effect transistors using epitaxial diamond layers. *Diamond and Related Materials*, 2004, **13(11/12)**: 1939–1943.
- [26] Kawakami N, Yokota Y, Hayashi K, *et al.* Device operation of p-i-p type diamond metal-insulator-semiconductor field effect transistors with submicrometer channel. *Diamond and Related Materials*, 2005, **14(3-7)**: 509–513.
- [27] Umezawa H, Taniuchi H, Arima T. Potential applications of surface channel diamond field-effect transistors. *Diamond and Related Materials*, 2001, **10(9/10)**: 1743–1748.
- [28] Ishizaka H, Umezawa H, Taniuchi H. DC and RF characteristics of 0.7-mm-gate-length diamond metal-insulator-semiconductor field effect transistor. *Diamond and Related Materials*, 2002, **11(3-6)**: 378–381.
- [29] Aleksov A, Denisenko A, Spitzberg U. RF performance of surface channel diamond FETs with sub-micron gate length. *Diamond and Related Materials*, 2002, **11(3-6)**: 382–386.
- [30] Kubovic M, Kasu M, Kallfass I. Microwave performance evaluation of diamond surface channel FETs. *Diamond and Related Materials*, 2004, **13(4-8)**: 802–807.
- [31] Hiram K, Miyamoto S, Matsudaira H, *et al.* Fabrication of T-shaped gate diamond metal-insulator-semiconductor field-effect transistors. *Jpn. J. Appl. Phys.*, 2006, **45(7)**: 5681–5684.
- [32] Kohn E, Denisenko A. Concepts for diamond electronics. *Thin Solid Films*, 2007, **515(10)**: 4333–4339.
- [33] Miyamoto S, Matsudaira H, Ishizaka H, *et al.* High performance diamond MISFETs using  $\text{CaF}_2$  gate insulator. *Diamond and Related Materials*, 2003, **12(3-7)**: 399–402.
- [34] Kasu M, Ueda K, Ye H. 2W/mm output power density at 1 GHz for diamond FETs. *Electronics Letters*, 2005, **41(22)**: 1249–1250.
- [35] Kasu M, Ueda K, Ye H, *et al.* High RF output power for H-terminated diamond FETs. *Diamond and Related Materials*, 2006, **15(4-8)**: 783–786.
- [36] Kueck D, El-Hajj H, Kaiser A, *et al.* Surface-channel MESFET with boron-doped contact layer. *Diamond and Related Materials*, 2008, **17(4/5)**: 732–735.
- [37] Rezek B, Kozak H, Kromka A. Stabilizing diamond surface conductivity by phenol-formaldehyde and acrylate resins. *Thin Solid Films*, 2009, **517(13)**: 3738–3741.
- [38] Kueck D, Schmidt A, Denisenko A, *et al.* Analysis of passivated diamond surface channel FET in dual-gate configuration-Localizing the surface acceptor. *Diamond and Related Materials*, 2010, **19(2/3)**: 166–170.
- [39] Kueck D, Jooss S, Kohn E. Technology of passivated surface channel MESFETs with modified gate structures. *Diamond and Related Materials*, 2009, **18(10)**: 1306–1309.
- [40] Umezawa H, Arima T, Fujihara N F. Performance of high transconductance and high-channel-mobility surface-channel polycrystalline diamond metal-insulator-semiconductor field effect transistors. *Jpn. J. Appl. Phys.*, 2002, **41**: 2611–2614.
- [41] Madaleno J C, Trippé S C, Pereira L. Comparison of the electrical behavior of Schottky diodes built on the nucleation and growth surfaces of polycrystalline diamond. *Diamond and Related Materials*, 2007, **16(4-7)**: 926–929.
- [42] Madaleno J C, Pereira L, Lavareda G, *et al.* A MIS transistor using the nucleation surface of polycrystalline diamond. *Diamond and Related Materials*, 2008, **17(4/5)**: 768–771.
- [43] Kubovic M, Janischowsky K, Kohn E. Surface channel MESFETs on nanocrystalline diamond. *Diamond and Related Materials*, 2005, **14(3-7)**: 514–517.
- [44] Calvani P, Corsaro A, Girolami M. DC and RF performance of surface channel MESFETs on H-terminated polycrystalline diamond. *Diamond and Related Materials*, 2009, **18(5-8)**: 786–788.
- [45] Ueda K, Kasu M, Yamauchi Y, *et al.* Diamond FET using high-quality polycrystalline diamond with  $f_T$  of 45 GHz and  $f_{\max}$  of 120 GHz. *IEEE Electron Device Letters*, 2006, **27(7)**: 570–572.