

# 低温烧结 $\text{SrTiO}_3$ 晶界层电容器材料的体深能级的研究\*

李 峰 王评初 徐保民 殷之文

(中国科学院上海硅酸盐研究所 上海 200050)

## 摘 要

本文用导纳谱法测得低温一次烧结  $\text{SrTiO}_3$  晶界层电容器材料的体深能级位于导带底下 0.21eV 处. 提出了  $\text{SrTiO}_3$  顺电行为和体深能级综合效应对材料介电性质的作用, 解释了材料  $\epsilon \sim T$  曲线上的异常“凸起”和显著的介电频散现象. 根据给出的含体深能级的等效电路模型, 计算机拟合结果与实验数据基本相符.

关 键 词 钛酸锶, 晶界层电容器, 介电性质, 体深能级

分 类 号 TM 534

## 1 引言

理论和实验研究表明<sup>[1]</sup>, 不仅晶界上的深能级对多晶半导体材料的性能有着至关重要的作用, 而且晶粒内的体深能级对材料的性能也有重要的影响. 体深能级的存在可以对晶界势垒的多种性能产生作用, 从而影响到材料的交流和直流特性, 例如伏-安特性、介电特性等. 这方面的工作虽然在  $\text{ZnO}$ <sup>[2]</sup>、 $\text{TiO}_2$ <sup>[3]</sup> 等半导体陶瓷方面已有报道, 但对  $\text{SrTiO}_3$  半导体陶瓷则尚未见报道.

$\text{SrTiO}_3$  晶界层电容器以其高的比电容和良好的温度稳定性而引人注目. 实现晶界层电容器的独石化将会进一步提高材料的比电容.  $\text{SrTiO}_3$  陶瓷晶界层电容器的低温烧结工艺<sup>[4,5]</sup>, 为使用贱金属内电极的独石化提供了可能性.  $\text{SrTiO}_3$  半导体陶瓷的体深能级的研究将进一步提高材料的电性能提供依据.

本文从分析  $\text{SrTiO}_3$  晶界层电容器低温介电性能的频率、温度特性出发, 指出了体深能级的存在, 并给出了该能级的位置.

## 2 样品制备及实验方法

以化学纯  $\text{SrCO}_3$ 、工业纯  $\text{TiO}_2$  为原料, 加入少量施主杂质  $\text{Nb}_2\text{O}_5$ , 在 1000~1200°C 合成, 然后加入由  $\text{Li}_2\text{O}$  和  $\text{SiO}_2$  组成的烧结助剂, 经磨细、成型后, 在  $\text{N}_2\text{-H}_2$  气氛中于 1170°C/3h 一次烧结成样品. 为保持与陶瓷良好的欧姆接触, 样品最后涂以 In-Ga 电极.

样品的介电性质用由 PC286 微机控制的 HP4192A 阻抗分析仪进行测试. 采用低温样品室, 用液氮降温, 样品室的真空度为 1.3~0.13Pa, 频率范围 5Hz~1MHz, 温度范围 -150~10°C, 升温速率 0.25°C/min.

\* 1997-07-10 收到

国家自然科学基金资助项目 (59172102)

### 3 结果和讨论

图 1 是样品的表观介电常数  $\epsilon_{\text{eff}}$  与温度的关系.  $\epsilon_{\text{eff}}$  随温度升高而减小的趋势, 与纯 SrTiO<sub>3</sub> 十分相似. 这是由 SrTiO<sub>3</sub> 在顺电相的介电行为引起的, 因为 SrTiO<sub>3</sub> 的顺电行为符合 Curie-Weiss 定律:

$$\epsilon = \frac{C_0}{|T - \Theta|} \quad (1)$$

其中  $C_0$  为居里常数,  $\Theta$  为居里温度 ( $\Theta \approx 28\text{K}$ )<sup>[6]</sup>. 但与纯 SrTiO<sub>3</sub> 顺电行为不同之处是, 在 150~200K 之间,  $\epsilon_{\text{eff}}-T$  曲线存在“凸起”, 介电频散也显著增强 (见图 1 和图 2). 同时随着频率的变化, 损耗出现峰, 而且介电损耗峰随温度升高而向高频方向移动 (见图 2); 电导温度曲线上也有峰存在, 且电导峰对应的温度值随测试频率的增大而升高 (见图 3).

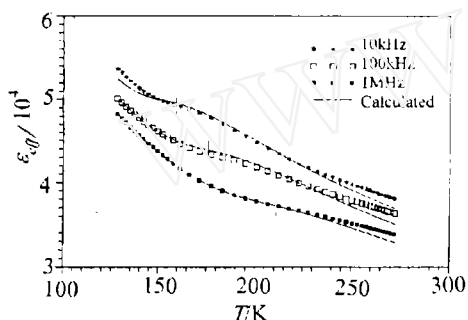


图 1 样品的表观介电常数  $\epsilon_{\text{eff}}$  与温度的关系  
Fig.1 Temperature dependence of the effective dielectric constant of the sample  
Frequency covers: 10KHz, 100KHz and 1MHz

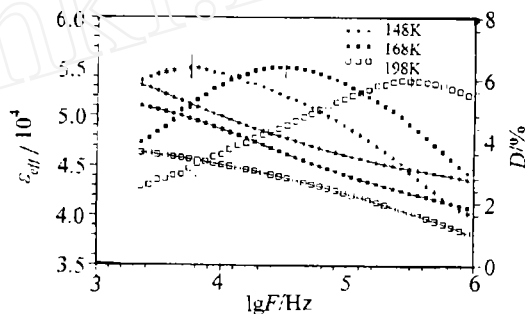


图 2 样品的表观介电常数  $\epsilon_{\text{eff}}$  和介电损耗  $D$  与频率的关系

Fig.2 Frequency dependence of effective dielectric constant and loss of the sample at temperatures of 148, 168 and 198K

Discrete points represent dielectric loss, lined points represent effective dielectric constant

图 1 中的介电温度曲线可用上述的突起与 Curie-Weiss 定律的叠加来解释. 上述这些峰的行为与半导体理论中的体深能级作用符合.

图 4 是 SrTiO<sub>3</sub> 晶界层电容器材料的晶界势垒模型. 晶界处存在受主能级的观点已被广泛接受. 晶界受主能级捕获晶粒中的电子, 使晶粒在靠近晶界的部分形成电子耗尽层, 此时导带向上弯曲, 产生了晶界势垒. 晶粒内部在费米能级之下可能存在有体深能级. 一般情况下, 这些体深能级中的电子不被激发. 但是当体深能级随电子导带向上弯曲, 使部分体深能级越过费米能级时, 这部分体深能级中的电子就被激发到导带上形成自由载流子. 同时, 耗尽区电荷也发生变化. 反之, 体深能级又捕获电子. 在交变电场作用下, 费米能级与体深能级相交的位置会随电场的变化而周期性地变化, 于是处于该交点附近的体深能级便会周期性地释放和吸收电子, 从而对耗尽区电容产生贡献. 由于体深能级发射和捕获电子存在一定的速率, 因此体深能级对交变电场的响应会随交变电场频率的变化而变化, 从而产生介电频散现象.

引入体深能级后, 耗尽区总电导  $G$  由势垒直流电导  $G_D$  和体深能级电导  $G_t$  组成; 耗尽区电容  $C$  由势垒电容  $C_D$  和体深能级电容  $C_t$  组成 [7~9], 即

$$G = G_t + G_D = \frac{e_n \omega^2}{e_n^2 + \omega^2} \cdot \frac{\varepsilon_0 \varepsilon}{2X_d} \cdot \frac{N_t}{N_d} + G_D \quad (2)$$

$$C = C_t + C_D = \frac{e_n^2}{e_n^2 + \omega^2} \cdot \frac{\varepsilon_0 \varepsilon}{2X_d} \cdot \frac{N_t}{N_d} + C_D \quad (3)$$

其中

$$G_D = \frac{q^2 N_d V_{th}}{KT} \cdot \exp\left(-\frac{q\phi_B}{KT}\right) = q^2 N_d \cdot \sqrt{\frac{2}{KTm^*}} \cdot \exp\left(-\frac{q\phi_B}{KT}\right)$$

$$C_D = \frac{\varepsilon_0 \varepsilon}{2X_d} = \frac{1}{2} \cdot \frac{\varepsilon_0 C_0 q N_d}{\sqrt{2\phi_B |T - \Theta|}}$$

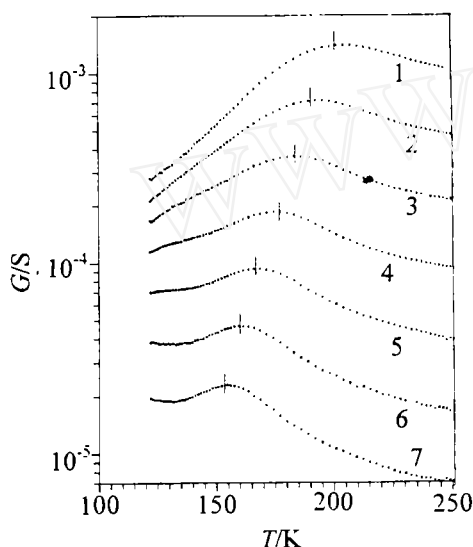


图 3 样品的交流电导与温度的关系

Fig.3 AC conductance vs temperature

Frequencies (in kHz) (1) 676; (2) 312; (3) 148; (4) 70.2; (5) 33.3; (6) 15.8; (7) 7.84

测试角频率,  $\varepsilon$ : SrTiO<sub>3</sub> 相对介电常数,  $m^*$ : SrTiO<sub>3</sub> 电子有效质量,  $\phi_B$ : 势垒高度,  $V_{th}$ : 电子热运动速率,  $q$ : 电子电荷.

体深能级电子发射率与温度的关系为 [2]

$$e_n = S_n V_{th} N_c \cdot \exp\left(-\frac{E_c - E_t}{KT}\right) = 8\pi^{3/2} m^* K^2 h^{-3} T^2 S_n \cdot \exp\left(-\frac{E_c - E_t}{KT}\right) \quad (4)$$

其中,  $S_n$ : 体深能级电子捕获截面,  $N_c$ : 导带有效态密度,  $E_t$ : 体深能级位置. 由上式可见, 体深能级的电子发射率  $e_n$  随温度升高而增大. 又根据式 (2), 当  $e_n(T_p) = \omega$  时,  $G = G_{max}$ , 这在电导温度谱上应表现为出现一个电导峰 (在低温条件下, 式 (2) 中的第二项非常小, 可

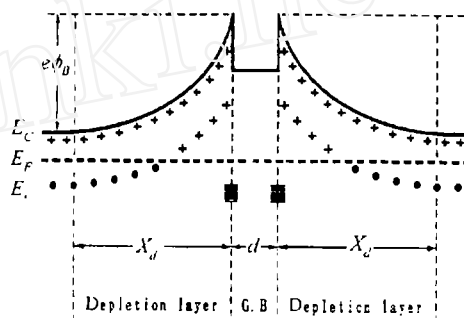


图 4 电子能带图 (单晶界)

Fig.4 Electron energy level diagram for a grain boundary with a deep bulk trap

$E_c$ : the energy at the bottom of the conduction band,  $E_F$ : the Fermi energy level,  $E_t$ : the deep bulk trap level,  $\phi_B$ : the potential barrier height

引入体深能级后, 耗尽区总电导  $G$  由势垒直流电导  $G_D$  和体深能级电导  $G_t$  组成; 耗尽区电容  $C$  由势垒电容  $C_D$  和体深能级电容  $C_t$  组成 [7~9].

其中  $N_t$ : 体深能级电子浓度,  $N_d$ : 施主浓度,  $X_d$ : 耗尽区宽度,  $e_n$ : 体深能级电子发射率,  $\omega$ :

以略去), 而且电导峰对应的温度值  $T_p$  随测试频率  $\omega$  的增大而升高. 这显然与实验现象相符 (见图 3).

由式 (4) 知  $\ln(e_n/T^2)$  与  $T^{-1}$  呈直线关系. 图 5 给出了  $\ln(\omega/T_p^2) \sim T_p^{-1}$  图. 可见, 二者呈良好的直线关系. 这进一步证明了体深能级的存在. 根据拟合直线斜率和截距, 得到深能级的位置  $E_c - E_t = 0.21\text{eV}$ , 捕获截面  $S_n = 5.6 \times 10^{-15}\text{cm}^2$ . 这些值列于表 1 中.

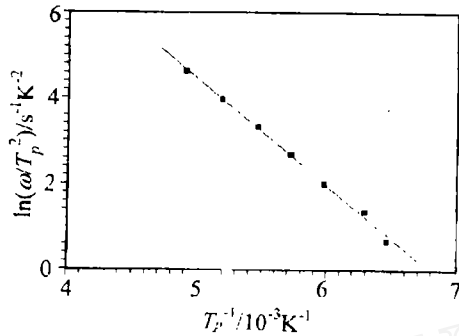


图 5  $\ln(\omega/T_p^2)$  与  $T_p^{-1}$  的关系

Fig.5 plot of  $\ln(\omega/T_p^2)$  vs reciprocal peak temperature  $T_p^{-1}$

Tien & Cross 在研究 La 掺杂的  $\text{SrTiO}_3$  陶瓷材料的介电性质时, 也发现介电温度曲线上有“凸起”存在, 同时介电频散十分显著, 并与德拜型电离弛豫模型相符<sup>[10]</sup>. 他们把这一现象解释为  $\text{La}^{2+}(1.15\text{\AA})$  对  $\text{Sr}^{2+}(1.13\text{\AA})$  的替位作用所导致的部分 B 位离子的双势阱.  $\text{Ti}^{4+}$  在势阱间的热运动所造成的介电弛豫满足热激发的规律. 这与此处是不同的,  $\text{Nb}^{5+}(0.70\text{\AA})$  和  $\text{Li}^+(0.06\text{\AA})$  对  $\text{Sr}^{2+}$  的替位作用的可能性极小. 另一方面, 虽然  $\text{Li}^+$  形成填隙离子的可能性存在, 但  $\ln(\omega/T_p^2)$  与  $T_p^{-1}$  呈直线关系, 与德拜电离弛豫模型不符. 因而  $\text{Nb}^{5+}$  或  $\text{Li}^+$  在双势阱间势运动引起介电异常和频散的可能性可以排除.

室温时, 由晶界不均匀性造成的介电频散<sup>[11]</sup>, 在低温条件下和本工作的测试频率范围内变得较为平坦. 此处为了本工作的目的, 略去了晶界不均匀性的影响. 计入体深能级后, 材料的等效电路模型如图 6 所示. 据此可对材料的介电性质进行计算机拟合. 拟合所用的参数列于表 1. 拟合结果与实验值基本相符 (见图 1). 表 1 中的  $R_I$  是拟合所得的, 拟合中发现  $R_I$  对拟合结果不敏感, 故此处略去其温度关系而取为常数. 对于  $C_I$ , 把晶界层作为普通绝缘介质, 其  $\epsilon \approx 10$ , 则计算的晶界厚度约为  $200\text{\AA}$ , 若将此值视为各种晶界的平均结果, 数值是合理的. 拟合得到的  $N_d$  的数量级与还原气氛下烧结的材料是符合的.  $N_t$  目前虽然尚

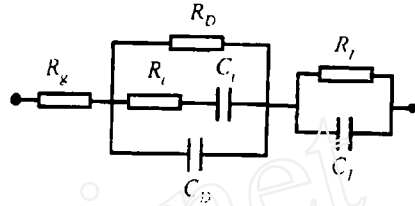


图 6 单晶界的等效电路

Fig.5 Equivalent circuit for single grain boundary

$R_D, C_D$ : resistance and capacitance of potential barrier,  $R_I, C_I$ : resistance and capacitance of intergranular layer,  $R_t, C_t$ : resistance and capacitance of deep bulk trap,  $R_g$ : grain resistance

表 1 样品材料的物理参数

Table 1 Physical parameters of the material

$E_c - E_t/\text{eV}$	0.21
$S_n/\text{cm}^2$	$5.61 \times 10^{-15}$
$N_t/N_d$	0.25
$C_0/\text{K}$	$7.83 \sim 10^{4[6]}$
$\Theta/\text{K}$	$28\text{K}^{[6]}$
$N_d/\text{cm}^{-3}$	$3 \times 10^{18}$
$m^*$	$1.32m_0^{[6]}$
$R_I/\text{k}\Omega \cdot \text{cm}^2$	$\sim 100$
$C_I/\mu\text{F} \cdot \text{cm}^{-2}$	0.45

无准确的实验值, 但据拟合得到的  $N_t/N_d$  值,  $N_t$  为  $10^{17}\text{cm}^{-3}$  数量级. 此体深能级的来源尚有待进一步研究.

#### 4 结论

1. 低温一次烧结  $\text{SrTiO}_3$  晶界层电容器材料的低温介电温度特性, 可用体深能级理论得到比较满意的解释: 在低温条件下, 材料的介电温度特性是  $\text{SrTiO}_3$  本身在顺电相的介电行为及晶粒内部体深能级两方面的因素造成的.

2. 材料的晶粒中的体深能级位于导带底以下约 0.21eV 处.

#### 参 考 文 献

- 1 Greuter F, Blatter G. *Semicond Sci. Tech.*, 1990, **5** (2): 111-127
- 2 Shim Y, Cordaro J F. *JACS*, 1988, **71** (3): 184-188
- 3 Kobayashi K, et al. *J. Appl. Phys.*, 1986, **60** (12): 4191-4196
- 4 Goodman G. In: Levinson M, Hill D C, ed. *Advances in Ceramics*, Vol.1. Ohio: The Am Cer Soc Inc. Columbus, 1981. 215-231
- 5 徐保民等. *硅酸盐学报*, 1991, **19** (4): 354-360
- 6 Mitsui T, Nemura S. *LB III /16a Ferroelectrics; Oxides*. Berlin, Heidelberg, New York: Springer-Verlag, 1981. 59
- 7 Sze S M. *Physics of Semiconductor Devices*. New York: Wiley and Sons, 1969. 371, 379
- 8 Broniatowski A. *Electric States at Grain Boundaries in Semiconductors*. In: Harbeke G, ed. *Polycrystalline Semiconductors*. Berlin, Heidelberg, New York, Tokyo: Springer-Verlag, 1985. 95-106
- 9 Vincent G, et al. *J. Appl. Phys.* 1975, **46** (2): 5173-5178
- 10 Tien T Y, Cross L E. *Jap. J. Appl. Phys.*, 1967, **6** (3): 459-468
- 11 李 峥等. 见王治梁主编. *应用物理研究*, 第一卷, 武汉: 武汉大学出版社, 1994. 17-19

### Study of Deep Bulk Traps of Low-Temperature-Sintered $\text{SrTiO}_3$ GBBL Capacitors

LI Zheng WANG Ping-Chu XU Bao-Min YIN Zhi-Wen

(Shanghai Institute of Ceramics, Chinese Academy of Sciences Shanghai 200050 China)

#### Abstract

A deep bulk trap level of  $\text{SrTiO}_3$  grain boundary barrier layer (GBBL) capacitor material was found to be at about 0.21eV below its conduction band by means of admittance spectroscopy. With temperature increasing from  $-150$  to  $10^\circ\text{C}$ , the  $\epsilon_{\text{eff}}$  protrusion and then the conspicuous dispersity of dielectric constant were observed and explained. In terms of a combination of paraelectric behaviour of  $\text{SrTiO}_3$  and a deep bulk trap effect, an equivalent circuit model involving the deep bulk level was given. Based on the model, a reasonable consistency of calculated dielectric constants with experimental data was revealed.

**Key words**  $\text{SrTiO}_3$ , GBBL capacitor, dielectric constant, deep bulk trap