

文章编号: 1000-324X(2008)05-0865-07

高介电栅介质材料研究进展

武德起^{1,2,3}, 赵红生^{1,2,3}, 姚金城¹, 张东炎^{1,3}, 常爱民¹

(1. 中国科学院 新疆理化技术研究所, 乌鲁木齐 830011; 2. 中国科学院 北京半导体所, 北京 100038; 3. 中国科学院 研究生院, 北京 100049)

摘 要: 传统的栅介质材料 SiO₂ 不能满足 CMOS 晶体管尺度进一步缩小的要求, 因此高介电栅介质材料在近几年得到了广泛的研究, 进展迅速. 本文综述了国内外对高介电材料的研究成果, 并结合作者的工作介绍了高介电栅介质在晶化温度、低介电界面层、介电击穿和金属栅电极等方面的最新研究进展.

关 键 词: 高介电栅介质; 晶化温度; 低介电界面层; 金属栅电极

中图分类号: TN304, TN386, O484 **文献标识码:** A

Development of High-K Gate Dielectric Materials

WU De-Qi^{1,2,3}, ZHAO Hong-Sheng^{1,2,3}, YAO Jin-Cheng¹, ZHANG Dong-Yan^{1,3}, CHANG Ai-Min¹

(1. Xinjiang Technical Institute of Physics & Chemistry, Urumqi 830011, China; 2. Institute of Semiconductor, Chinese Academy of Sciences, Beijing 100083, China; 3. Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

Abstract: The traditional gate dielectric material of SiO₂ can not satisfy the need of the continuous downscaling of CMOS dimensions. High-K gate dielectric materials have attracted extensive research efforts recently and obtained great progress. In this paper, the developments of high-K gate materials were reviewed. Based on the author's background and research work in the area, the latest achievements of high-K gate dielectric materials on the recrystallization temperature, the low-K interface layer, and the dielectric breakdown and metal gate electrode were introduced in detail.

Key words: high-K gate dielectrics; recrystallization temperature; low-K interface layer; metal gate electrode

1 引言

热生长法制备的 SiO₂ 具有绝缘性好、缺陷密度低、热稳定性好、与 Si 的晶格失配度小、与 Si 能够形成良好的界面等特性, 因而多年来成为栅介质材料的最佳选择. 随着技术的进步, CMOS 晶体管的尺寸越来越小, 集成度越来越高. 目前的光刻尺度已达到 45nm, CMOS 栅极等效氧化物厚度降到 1nm 以下, 栅氧化层的厚度接近原子间距^[1]. 等效氧化物厚度的减小会引起隧道效应, Lo 等^[2]研究发现 SiO₂ 厚度由 3.5nm 减至 1.5nm 时栅极漏电流由 $1 \times 10^{-12} \text{A/cm}^2$ 增大到 10A/cm^2 . 较大的通道漏

电流会导致芯片的高功耗和相应的散热问题, 这对器件的集成度、可靠性和寿命都造成了不利影响, 因此急需研发出新的高介电栅介质材料以取代传统的 SiO₂^[3].

国内外关于高介电栅介质材料的综述文献多注重报道材料的选取, 鉴于此, 本文针对栅介质的结构、漏电流、重结晶温度、界面质量及阈值电压等问题, 综述了高介电栅介质材料的最新研究进展.

2 高介电栅介质材料的最新研究进展

收稿日期: 2007-10-16, 收到修改稿日期: 2007-12-14

基金项目: 国家自然科学基金 (50372083); 中国科学院知识创新工程青年人才领域前沿项目 (072C201301)

作者简介: 武德起 (1969-), 男, 博士. 通讯联系人: 常爱民, 研究员. E-mail: sensorg@ms.xjb.ac.cn

其相对介电常数大于 3.9(3.9 为 Si 的相对介电常数) 的材料统称为高介电材料. 用高介电材料取代现有的栅介质 SiO_2 , 能够在数年内保持器件的现有性能, 维持晶体管尺度的进一步缩小, 因此, 国内外研究人员对高介电栅介质材料进行了深入的研究. 近几年研究较多的材料有 Si_3N_4 、 SiO_xN_y 、 Ta_2O_5 、 TiO_2 、 Al_2O_3 , 稀土元素 La、Y、Pr、Ce、Gd 等的氧化物^[4,5] 及堆栈结构. CoTiO_3 、 NiTiO_3 、 SrTa_2O_6 和 SrTiO_3 也有报道^[6,7]. 据报道, SiO_xN_y 与 SiO_2 和 Si_3N_4 相比具有更好的电学性质, 最佳含氮量 8% 的 SiO_xN_y 薄膜的介电常数为 4.6^[8]; Ta_2O_5 作为栅介质薄膜在 N_2O 中退火可以得到较好的电学性能, 但是在界面上生成了 TaSi_xO_y 界面层^[9]. 应用 MOMBE 方法制备的 ZrO_2 薄膜介电常数为 18~19, 漏电流密度为 $10^{-7} \sim 10^{-5} \text{ A/cm}^2$, 具有很好的电学性能^[10]. 目前 Hf、Zr 的氧化物及其相应的伪二元系统硅酸盐和铝酸盐已成为研究的热点. 实验表明, HfO_2 用作高介电栅介质材料具有很好的可靠性, 它具有以下几个优点: 较高的介电常数 (20~30), 较宽的带隙 ($\sim 5.68 \text{ eV}$), 对电子和空穴有着比较合适的通道势垒高度 ($> 1 \text{ eV}$), 可与传统的 CMOS 工艺相兼容, 与 Si 接触有着优良的热稳定性, 而且易于组成整体器件. 常见高介电栅介质材料的物理和电学性能见表 1^[11].

表 1 常见高介电栅介质材料的物理和电学性能^[11]

Table 1 Physical and electrical properties of typical high-K gate dielectrics materials^[11]

Materials	Dielectric constants	Energy gap/eV	Conduct band offset/eV	Crystalline structure
SiO_2	3.9	8.9	3.5	Amorphous
Si_3N_4	7.0	5.1	2.4	Amorphous
Al_2O_3	9.0	8.7	2.8	Amorphous
Y_2O_3	15.0	5.6	2.3	Cubic
La_2O_3	30.0	4.3	2.3	Hexagonal, Cubic
Ta_2O_5	26.0	4.5	1.0~1.5	Orthogonal
HfO_2	25.0	5.7	1.5	Orthorhombic
ZrO_2	25.0	7.8	1.4	Monoclinic, Tetragonal, Cubic
ZrSiO_4	—	6.0*	1.5	Monoclinic, Tetragonal, Cubic
HfSiO_4	—	6.0*	1.5	—
SrTiO_3	—	3.3	-0.1	—
Gd_2O_3	~ 12.0	—	—	—

* Estimated values

等效厚度与 SiO_2 相同的高介电材料漏电流较小, 但这并不意味着高介电材料就可以直接取代传统的栅介质 SiO_2 . 引入高介电材料会引起一系列新的问题^[12]: 由于界面费米能级钉扎 (pinning) 效应, 高介电介质与多晶硅栅电极不匹配, 使得晶体管阈值电压升高; 栅极和晶体管通道区域之间的电容耦合较大, 需要较大的驱动电流 (I_d); 金属氧化物高介电介质存在某种极化作用, 表面光学声子与通道载流子的耦合导致通道载流子迁移率急剧下降; 氧化物与硅衬底之间由于氧的扩散, 造成等效氧化物厚度加大等等. 因此, 为了满足栅介质的要求, 必须对备选高介电材料进行更加深入的研究.

2.1 栅介质结构和漏电流

单晶结构的栅介质薄膜具有较少的界面悬挂键和较小的界面缺陷密度, 因而其漏电流也较小, 但是, 单晶外延的栅介质薄膜很难得到. 小颗粒多晶栅介质薄膜, 由于存在晶粒边界的电荷陷阱, 漏电流较大, 因此, 目前的高介电栅介质多采用非晶结构. 而大晶粒多晶栅介质能够减小施加在通道载流子上的有效电场变化, 有利于降低漏电流, 因而多晶伪二元系统 $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ ($x < 0.2$) 及复合物 $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ 备受推崇, 该复合物在 1050°C 的高温下仍然稳定^[13]. Sahiner^[14] 等采用脉冲激光沉积技术 (PLD) 在单晶 Si 基片上制备了基于钨的高介电栅介质薄膜, 应用 X 射线吸收精细结构谱对 Hf 金属周围的局域结构进行研究表明, 衬底温度的升高会增加 Hf-Hf 配位数, 导致较好的结晶. Hergenrother 等^[15,16] 应用原子层沉积法制备的多晶 HfO_2 和多晶硅栅制作了 MOS 晶体管, 呈现出较小的漏电流密度 (在等效氧化物厚度为 1.5 nm 的情况下漏电流密度约为 $1 \times 10^{-7} \text{ A/cm}^2$). Ho 等^[17] 报道了退火温度对 HfO_2 高介电栅介质形貌和结晶动力学的影响, 研究表明原子层沉积法制备的多晶 HfO_2 包含两种结晶相: 单斜相和四角相 (或者立方相). Zhao 和 Vanderbilt 通过第一性原理计算了解到 HfO_2 有三种结构^[18]: 单斜相、立方相和四角相, 它们的介电常数分别为 20、30 和 70. 在常温、常压下这些结构都很稳定, 相变温度分别为: 单斜相到四角相 $\sim 1700^\circ\text{C}$, 四角相到立方相 $\sim 2700^\circ\text{C}$. ZrO_2 与 HfO_2 的结构类似, 对 MOCVD 方法制备的 Zr-Y-O 薄膜进行研究表明, 立方相及其混合物的稳定性依赖于 Y 的掺杂浓度、基片温度、薄膜厚度以及薄膜种类^[19]. Rauwel 等^[20] 采用 MOCVD 方法得到掺 Y 的立方相 HfO_2 , 如图 1 所示, 透射电镜界面清晰可见, Y 含量由 2.0% 增加到 8.8% 时界面层由

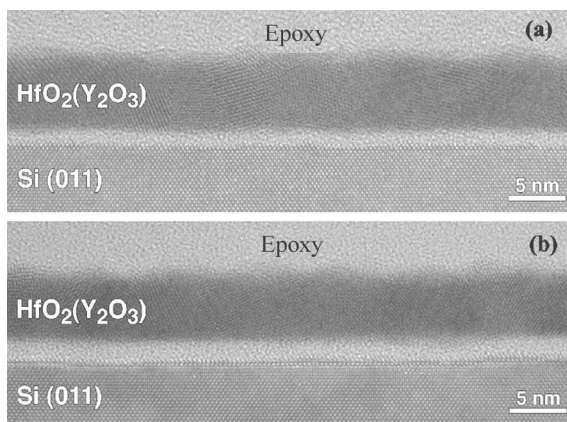


图 1 不同 Y 含量的立方相 HfO₂ 透射电镜照片 [20]

Fig. 1 Transmission electron microscopy images of HfO₂ films grown at 500°C^[20]

Containing (a) 2.0% and (b) 8.8% of yttrium

0.7nm 增加到 1.0nm.

有三种栅极漏电流: 通过栅介质的漏电流、源漏间漏电流和漏极到体材的漏电流. 我们通常说的栅极漏电流主要是指通过栅介质的漏电流 I_g . 目前对于漏电流的产生机理还不清楚, 一般认为薄膜中每个原子的平均键合数越大, 缺陷密度越大, 漏电流就越大. 而每个原子的平均键合数是与金属的配位数相关的. 栅介质中的缺陷主要是氧缺陷, 一般认为氧缺陷形成的电荷陷阱存在于高介电介质的晶粒边界.

采用高介电材料可以增大栅介质层的物理厚度, 能够有效地抑制隧穿效应, 因而高介电材料的栅极漏电流比 SiO₂ 小得多. 国内外学者做了大量的理论、实验来进一步降低栅极漏电流. 在 HfO₂ 和 Si 之间加入一层 SiO_xN_y 能够降低界面缺陷密度, 减小漏电流. 将 TiN 沉积在 HfO₂ 上研究发现: HfO₂ 介质层的厚度对于器件的电学性能有着明显的影响, 电荷陷阱随着 HfO₂ 介质层厚度的减小明显变少, 当 HfO₂ 厚度为 2nm 时几乎看不到电荷陷阱的存在, 致使载流子迁移率 (相对于 SiO₂) 增加 80% 之多^[21]; HfO₂ 介质层越薄越不利于介质由非晶到晶态的转变; 另外, TiN 薄膜越薄, 由于 N 元素含量降低, nMOS 的阈值电压 V_t 明显变小.

2.2 晶化温度

温度升高会增加金属的配位数, 引起非晶金属氧化物结晶, 造成较大的缺陷密度, 产生较大的漏电流. ZrO₂ 和 HfO₂ 都具有晶化温度低的缺点. 在 ZrO₂ 和 HfO₂ 薄膜中加入其他物质形成伪二元合金系统, 能够提高其晶化温度. 在 HfO₂ 中加入 31.7% 的 Al, 结晶温度从 375°C 升高到 850°C 至 900°C^[22].

ZrO₂ 薄膜 600°C 快速退火呈非晶, 700°C 时开始晶化. 42% 和 61%Al₂O₃ 含量的 ZrO₂-Al₂O₃ 二元合金系统的结晶温度是 900°C, 比纯 ZrO₂ 结晶温度高 400°C^[23]. 掺入氮 (N) 元素有利于抑制栅介质在快速退火中的高温结晶, 因为 N 含量的增加会导致 O 原子迁移率降低, 从而升高了成核温度. HfO₂ 中 N 元素的贡献被认为是打破了晶格对称性而形成一种无序状态, N 元素起到了结晶抑制剂的作用. 在 Ge₂Sb₂Te₂ 合金中 N 元素还表现出非晶相稳定剂的作用, 但是处于界面上的 N 会降低载流子的迁移率^[24].

2.3 界面质量

高介电材料薄膜与 Si 的界面存在较高的电荷缺陷密度, 这成为制约高介电栅介质应用的主要障碍. 产生较高界面电荷缺陷密度的原因有: 界面反应与互扩散, 晶格失配, 存在界面悬挂键等. 另外, 栅介质氧化物中金属配位数大, 衬底温度升高都会引起电荷陷阱增多, 这也是导致界面质量降低的原因. ZrO₂ 和 HfO₂ 都不能有效地阻止氧的扩散, 环境中或者薄膜中的氧离子很容易到达 Si 表面, 形成 SiO₂ 或者含 SiO₂ 的界面层, 劣化栅介电层的性能^[25]. 于是, 如何控制界面显得特别重要.

为了防止高介电材料与硅的界面反应, 理想的方法是在硅衬底与栅介质之间引入一层高带隙的阻挡层, 利用阻挡层与硅的优良界面性质的同时, 又利用了高介电材料的高介电性. Joen 等^[26] 尝试了堆栈结构 Al₂O₃/ZrO₂/Al₂O₃, 等效厚度为 1.01nm 时测得漏电流为 $3 \times 10^{-4} \text{ A/cm}^2$. 在 Si 上生长一层高带隙的氧化物阻挡层, 难免会使 Si 氧化而生成低介电界面层, 要想得到亚纳米量级等效氧化物厚度的高介电栅层, 界面层 SiO₂ 的厚度必须降低到原子量级, 或者采用高介电薄膜取代. 人们尝试了多种方法和技巧来抑制低介电界面层的生成. Lu 等^[27] 利用激光分子束外延技术 (LMBE) 通过降低氧偏压和先沉积 Hf 再沉积 HfO₂ 两步法有效地抑制了低介电界面层的形成和生长, 可是, 这种方法不容易把握 Hf 层的厚度. Yu 等^[28] 在 Si 衬底上制备的 HfO₂ 薄膜中加入 Al 形成 (HfO₂)_x(Al₂O₃)_{1-x} ($0 < x < 1$) 复合氧化物界面层, 在富 N₂ 的 O₂ 中 1000°C 退火, 发现这种界面层比纯 HfO₂ 具有更强的抗氧扩散能力. Yu 等制备的纯 HfO₂ 和 (HfO₂)_{0.85}(Al₂O₃)_{0.15} 复合氧化物在 N₂ 中 900°C 退火前后的高分辨率 TEM 照片如图 2 所示. 经测定退火后 (HfO₂)_{0.85}(Al₂O₃)_{0.15} 复合氧化物为非晶, 退火后纯 HfO₂ 界面层 (IL) 的厚度比掺 Al 的 HfO₂ 明显变大, 证明该复合氧化物

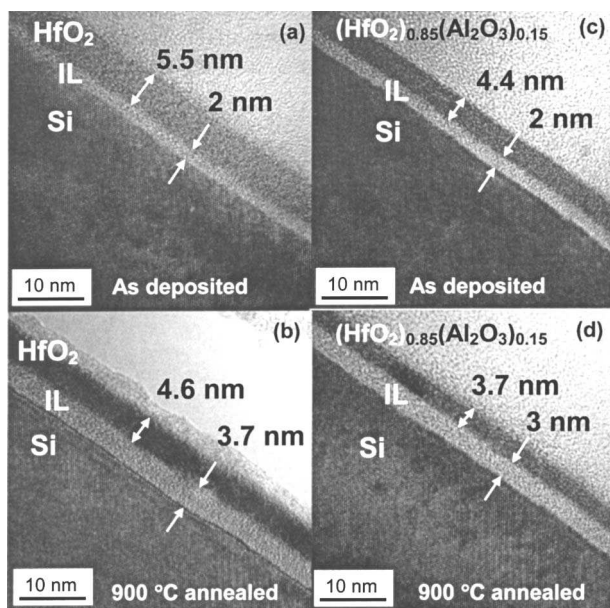


图 2 HfO_2 和 $(\text{HfO}_2)_{0.85}(\text{Al}_2\text{O}_3)_{0.15}$ 样品退火前后 HRTEM 图像^[28]

Fig. 2 HRTEM images of HfO_2 and $(\text{HfO}_2)_{0.85}(\text{Al}_2\text{O}_3)_{0.15}$ sample

(a) The as-is HfO_2 sample; (b) The $900^\circ\text{C}/\text{N}_2$ annealed HfO_2 sample; (c) The as-is $(\text{HfO}_2)_{0.85}(\text{Al}_2\text{O}_3)_{0.15}$ sample; (d) The $900^\circ\text{C}/\text{N}_2$ annealed $(\text{HfO}_2)_{0.85}(\text{Al}_2\text{O}_3)_{0.15}$ sample

表 2 HfO_2/Si 样品电学性能比较^[30]

Table 2 Electrical properties comparison of HfO_2/Si ^[30]

Annealing conditions	Dielectric constants	Interface state density/ $\text{cm}^{-2}\cdot\text{eV}^{-1}$	EOT/nm
Non-annealed	21.5	6.50×10^{12}	0.76
O_2	16.5	8.40×10^{11}	1.23
NH_3	18.0	7.38×10^{11}	1.13
FG- H_2	23.5	1.46×10^{11}	0.88
FG- D_2	24.6	1.30×10^{11}	0.84

层比纯 HfO_2 层具有更好的阻挡氧扩散能力. 可能是由于氧在 Al_2O_3 中扩散系数小的缘故. 文献报道 N 元素掺入技术也可以抑制掺杂离子的渗透, 提高器件的可靠性. 实验也证实采取表面氮化或者在 HfO_2 中掺入 N 元素的方法可以减小低介电界面层的生长^[29]. 在传统方法中采用 O_2 或 NH_3 退火, 往往伴随着低介电界面层的生成而增大等效氧化物厚度 (EOT), 采用 $90\%\text{N}_2+10\%\text{H}_2$ (FG- H_2) 或 $90\%\text{N}_2+10\%\text{D}_2$ (FG- D_2) PDA 退火, 能够提高 HfO_2/Si 界面质量而不明显影响 EOT, 比较结果见表 2^[30]. 界面态的钝化能够明显改善载流子迁移

率, 这也是漏电流密度降低的主要原因. 采用超薄高介电 HfSiO_x 界面层取代 SiO_2 , 得到的高介电栅介质具有更好的等效氧化物厚度可测性, 在全硅-镍硅/ HfO_2 (FUSI-NiSi/ HfO_2)_n 型 MOSFETs 中栅介质等效厚度仅为 0.6nm ^[31]. 通常情况下 HfO_2/Si 堆栈结构中界面层的厚度不超过几个纳米, 可采用 X 射线光电子能谱法进行研究. 在 X 射线光电子能谱测试中, 随着 HfO_2 厚度的增加, HfSiO_x 信号的相对强度会降低, 这一方面是由于激发出的光子会被 HfO_2 吸收, 另一方面是由于光子非弹性平均自由程较小. 高分辨透射电子显微镜分析显示, 即使表面 HfO_2 薄膜的粗糙度较大, 界面层的厚度也是相对变化较小的^[32].

2.4 阈值电压和介电击穿问题

在使用过程中高介电栅介质中的电荷陷阱捕获电荷会引起阈值电压漂移, 影响栅介质的可靠性. ZHU 等^[33] 通过研究加在 HfO_2 介质薄膜上的电压大小、衬底种类、退火温度高低以及栅电极种类对电荷捕获的影响, 发现 Pt 电极相对于 Al 电极在常压下产生的界面电荷捕获密度较大.

金属栅极高介电 MOSFET 应该具有①较小的栅极氧化物等效厚度; ②高迁移率; ③与 nMOSFETs ($0\sim 0.2\text{V}$) 或者 pMOSFETs ($0\sim -0.2\text{V}$) 相近的适当的阈值电压, 而且希望它在栅极生长之后的处理过程中仍能保持这些特性, 也就是它能够经受得住 1000°C 、5s 的源、漏极掺入离子的激活退火处理. 配合使用 TiN 栅电极, 能够满足①和②的要求, 但是多晶硅栅中掺入的硼 (B) 能够透过 TiN 扩散到下面的高介电介质层, 形成正的电荷区域, 致使 pMOS 的阈值电压漂移会明显大于 nMOS. 虽然厚的 TiN 能够抑制由于 B 扩散引起的阈值电压漂移, 但是随着 TiN 物理厚度的增加会产生薄膜应力, 从而降低器件的性能和可靠性, 而且在后续的处理工艺中, 金属栅极功函数的变化也会引起器件阈值电压漂移, 进而影响器件在电路中的应用^[34].

为了满足高性能逻辑应用器件的要求, 必须设法调整阈值电压. 在 HfO_2 栅介质与 TiN 栅电极之间引入一层 La_2O_3 能够解决阈值电压高的问题^[35], 用 HfSi_xO_y 取代 HfO_2 以及在介质与栅电极之间引入 $\text{La}_2\text{Hf}_2\text{O}_7$ 层也可以取得较好的效果^[36]. 在 NiSi 金属栅硅化之前掺入 As 或 B 元素可以有效地改变金属栅的功函数, 普遍认为是 As 或 B 在 NiSi 中的固熔点较低, 在 NiSi/ SiO_2 界面形成堆积效应的结果. 在进行锗的预非晶化处理过程中, Ge 可以和 Ni 反应生成 NiGe. 另外, Ge 在多晶硅中的扩散速

率较小, 不会在 NiSi/SiO₂ 界面富集, 从而不会引起金属栅极功函数的变化。

栅极与沟道之间的介电击穿是影响栅介质可靠性的另一问题^[37,38]。Mcpherson 等^[39]应用热化学 / 分子模型研究了高介电栅介质击穿强度 E_{BD} 与介电常数之间的关系。图 3 是采用热化学方法得到的预言结果与测定结果的对比。热化学理论预言栅介质介电击穿强度近似地随着介电常数平方的倒数减小, 这与实验结果吻合得很好。击穿强度随着介电常数的增大而变小是由于高介电介质分子极性很强, 在高介电介质较强的局部电场中极性分子键发生扭曲所致。

2.5 介电常数和金属栅电极

金属氧化物高介电栅介质存在极化现象, 极化程度越高, 介电常数值就越大。ZrSi_xO_y 的介电常数依赖于 Zr 的含量, Zr 含量越高, 介电常数越大, 变化范围为 7~13^[40]; HfSi_xO_y 薄膜中 Hf 含量稍微增加会导致其介电常数较大的变化, 这与上述理论是一致的。厚度比 HfO₂ 薄 5~10 倍的 HfSi_xO_y 薄膜的击穿电压值反而比 HfO₂ 高十几倍^[41]。

目前的高介电栅介质与多晶硅不匹配, 需要金属栅电极, 但是金属栅电极并不是必须的。基于 Hf 的高介电材料是 45nm 及以下技术节点栅介质最有潜力的替代品^[42,43], 然而这些材料的兼容性并没有

得到解决。目前先进的栅极堆栈技术, 即采用金属栅和高介电栅介质, 能够提高晶体管的运行速度, 降低栅极漏电流。

全硅化物栅 (full silicidation) 是向真正意义上的金属栅过渡的理想栅极。在多晶硅顶部沉积一层金属, 热处理后就可以形成硅化物栅电极, 必须是所有的栅硅都变成硅化物。其中 NiSi 金属栅极能够消除多晶硅耗尽效应, 提供较低的电阻率, 而且易于集成^[44], 是一种很好的全硅化物栅。

替代全硅化物栅的方法是直接沉积具有理想功函数的金属, 有两种方法, 一种是中间能隙金属法, 就是选用具有合适功函数 Φ_m 的金属, 使其费米能级恰好处于 Si 衬底中间能隙上。这种方法使得 nMOS 和 pMOS 具有对称的阈值电压, 因而制作工艺简单。但是, 这一方法对于亚微米器件有一个致命的弱点, 因为 Si 的能隙固定在 1.1eV, 任何中间能隙金属其阈值电压必将是 0.5V, 这种器件在外加 1.0V 电压下理想的开通电压为 0.2~0.3V, 这样 0.5V 的阈值电压就太大了。在沟道中补偿注入可以降低阈值电压, 据报道采取在栅极掺入镱 (Yb) 的方法来调整 nMOSFET 的阈值电压 V_t , 在 Ni₂Si 中掺入铂 (Pt) 调整 pMOSFET 的阈值电压 V_t , 均得到了较好的效果。

另一种替代全硅化物栅的方法是双金属栅极法, 采用分别适合于两种沟道的两种金属, 其功函数使其费米能级分别靠近 Si 的导带和价带。双金属栅极给加工带来不便, 但它避免了栅堆栈中材料的有害混合。由于纯金属要么功函数小, 要么难以加工, 作为栅电极的可行性差。而利用导电的金属氧化物作为栅电极具有很好的发展前景。双金属栅极在与 CMOS 晶体管中亚纳米等效氧化物厚度的高介电介质 (如 HfO₂^[45]) 的集成过程中面临着诸多问题, 如金属栅极与介电材料的反应问题, 金属栅极功函数 Φ_m 随着退火温度变化的问题等。一种激活源、漏极掺杂离子后形成金属栅电极的替代栅工艺在近两年备受青睐^[46]。通常是在源、漏极掺杂离子激活退火后, 用高介电介质和金属栅极取代多晶硅“哑栅” (dummy-gate) 和下面的“牺牲栅” (sacrifice gate) SiO₂ 介质。然而, 为了得到较好的载流子迁移率, 减少束缚电荷, 得到较好的 C-V 曲线, 高介电栅介质需要高温退火。高介电栅介质在金属栅极生长前的高温退火会造成栅极等效氧化物厚度的增加, 不利于 CMOS 晶体管的尺度缩小。利用 HfN 哑栅可以得到合适功函数的双金属栅极 CMOS 晶体管, 能够维持 HfO₂ 栅介质的厚度在亚

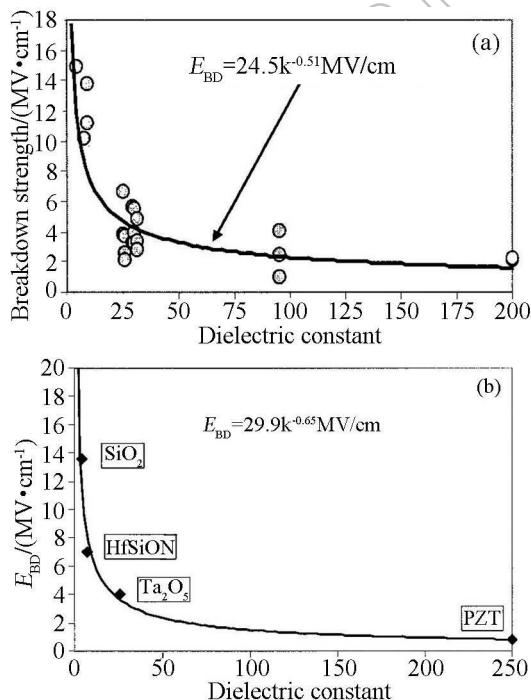


图 3 击穿强度随介电常数的变化^[39]

Fig. 3 Breakdown trend vs. dielectric constant^[39]

(a) Thermochemical model prediction; (b) Observed data

纳米量级^[47].

3 总结与展望

SiO₂ 作为栅介质材料已经不能满足 CMOS 晶体管尺度进一步缩小的要求, 而高介电栅介质材料能够在数年内保持器件的现有性能, 维持晶体管尺度的进一步缩小, 因此, 以 Zr 和 Hf 的氧化物及其相应的伪二元系统为代表的一系列高介电材料得到了广泛研究. 2007 年 1 月 27 日 IBM 和 Intel 宣布了基于 Hf 的高介电材料取得的重大突破. 如图 4 所示 Intel 公司对栅极进行了两大改进, 改用高介电栅介质材料, 同时用金属栅电极取代多晶硅栅电极. 与同频率的 65nm 工艺相比, 这种 45nm 的高介电栅极可以将晶体管的转换速度提高 20%, 同时将转换能耗减少 30%, 并将漏电流降至原来的 1/5^[48].

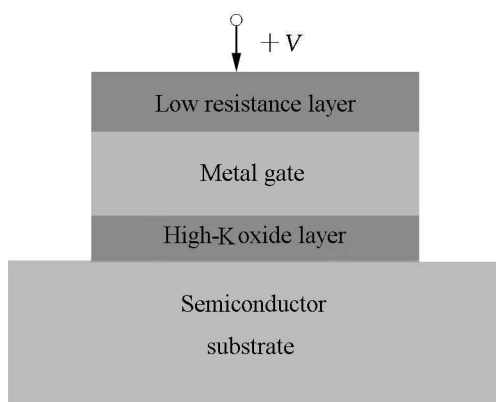


图 4 高介电栅垛示意图

Fig. 4 Schematic drawing of high-K stack

但是, 这些材料的兼容性问题并没有得到真正的解决, 比如: 怎样才能避免由于金属氧化物高介电介质表面光学声子与通道载流子耦合而引起的通道迁移率急剧下降; 怎样才能更好地抑制氧化物与硅衬底之间的氧扩散; 如何解决 pMOS、nMOS 功函数失配的问题, 如何解决高介电栅介质加工工艺复杂的问题等等. 因此有必要对材料的电学性能和可靠性进行更加深入的研究, 特别是要从机理上深入了解.

参考文献

- [1] Chau R, Datta S, Doczy M, *et al.* *IEEE Electron Device Lett.*, 2004, **25** (6): 408–410.
- [2] Lo S H, Bushanan D A, Taur Y, *et al.* *IEEE Electron Device Lett.*, 1997, **18** (5): 209–211.
- [3] Jeong S H, Bae I S, Shin Y S, *et al.* *Thin Solid Films*, 2005, **475** (1-2): 354–358.

- [4] Spiga S, Wiemer C, Tallarida G, *et al.* *Mater. Sci. and Eng. B*, 2004, **109** (1-3): 47–51.
- [5] Wolfram D, Ratzke M, Kappa M, *et al.* *Mater. Sci. and Eng. B*, 2004, **109** (1-3): 24–29.
- [6] Legrand J, Lhostis S, Chang Y, *et al.* *Microelec. Eng.*, 2004, **72** (1-4): 310–314.
- [7] Liu C Y, Tseng T Y. *J. Euro. Ceram. Soc.*, 2004, **24** (6): 1449–1453.
- [8] Albertin K F, Pereyra I, Alayo M I. *Materials Characterization*. 2003, **50** (2-3): 149–154.
- [9] Zhu J, Liu Z G, Zhu M, *et al.* *Appl. Phys. A*, 2005, **80** (2): 321–324.
- [10] Kim M S, Ko Y D, Hong J H, *et al.* *Appl. Surf. Sci.*, 2004, **227** (1-4): 387–398.
- [11] Wallace R M. *Appl. Surf. Sci.*, 2004, (**231-232**): 543–551.
- [12] Kavalieros J, Doyle B, Datta S, *et al.* Tri-Gate transistor architecture with high-k gate dielectrics, metal gates and strain engineering, Symp. Honolulu, Hawaii. VLSI Tech., 2006. 62–63.
- [13] Wallace R M, Wilk G. *MRS Bull.* 2002, **27** (3): 192–197.
- [14] Sahiner M, Woicik J C, Gao P, *et al.* *Thin Solid Films*, 2007, **515** (16): 6548–6551.
- [15] Hergenrother J M, Wilk G D, Nigam T, *et al.* (2001) in 50 nm vertical replacement-gate (VRG) nMOSFETs with ALD HfO₂ and Al₂O₃ gate dielectrics. Technical Digest of IEEE International Electron Device Meeting, Washington D.C., 2001, 3.1.1-3.1.4
- [16] Sammelselg V, Rammula R, Aarik J, *et al.* *Journal of Electron Spectroscopy and Related Phenomena*, 2007, (**156-158**): 150–154.
- [17] Ho M Y, Gong H, Wilk G D, *et al.* *J. Appl. Phys.*, 2003, **93** (3): 1477–1481.
- [18] Zhao X, Vanderbilt D. *Phys. Rev. B*, 2002, **65** (23): 233106–1–4.
- [19] Jiang Y, Song H, Gao J, *et al.* *J. Electrochem. Soc.*, 2005, **152** (7): C498–C503.
- [20] Rauwel E, Dubourdieu C, Holländer B, *et al.* *Appl. Phys. Lett.*, 2006, **89** (1): 012902–1–3.
- [21] Song S C, Zhang Z, Huffman C, *et al.* *Thin Solid Films*, 2006, **504** (1): 170–173.
- [22] Zhu W J, Tamagawa T, Gibson M, *et al.* *IEEE Electron Device Lett.*, 2002, **23** (11): 649–651.
- [23] Zhao C, Richard O, Young E, *et al.* *J. Non-Crystalline Solids*, 2002, **303** (1): 144–149.
- [24] Visokay M R, Chambers J J, Rotondaro A L P, *et al.* *Appl. Phys. Lett.*, 2002, **80** (17): 3183–3185.
- [25] Wong H, Iwai H. *Microelectron. Eng.*, 2006, **83** (10): 1867–1904.
- [26] Jeon S, Yang H, Park D G, *et al.* *Jpn. J. Appl. Phys. Part 1-Regular Papers Short Notes & Review Papers.*, 2002, **41** (4B): 2390–2393.
- [27] Lu Y K, Zhu W, Chen X F, *et al.* *Thin Solid Films*, 2006, **504** (1-2): 188–191.
- [28] Yu H Y, Wu N, Li M F, *et al.* *Appl. Phys. Lett.*, 2002, **81** (19): 3618–3620.

- [29] Kang J F, Yu H Y, Ren C, *et al.* *Appl. Phys. Lett.*, 2004, **84** (9): 1588–1590.
- [30] Puthenkovilakam R, Sawkar M, Chang J P. *Appl. Phys. Lett.*, 2005, **86** (20): 202902–1–3.
- [31] Ogawa A, Iwamoto K, Ota H, *et al.* *Microelec. Eng.*, 2007, **84** (9-10): 1861–1864.
- [32] Mitchell D R G, Aidla A. *Appl. Surf. Sci.*, 2006, **253** (2): 606–617.
- [33] Zhu W J, Ma T P, Zafar S, *et al.* *IEEE Electron Device Lett.*, 2002, **23** (10): 597–599.
- [34] Narayanan V, Maitra K, Linder B P, *et al.* *IEEE Electron Device Lett.*, 2006, **27** (7): 591–594.
- [35] Guha S, Paruchuri V K, Copel M, *et al.* *Appl. Phys. Lett.*, 2007, **90** (9): 092902–1–3.
- [36] Alshareef H N, Quevedo-Lopez M, Wen H C, *et al.* *Appl. Phys. Lett.*, 2006, **89** (23): 232103–1–3.
- [37] 张邦维. 微纳电子技术, 2006, **3**: 113–120.
- [38] 张邦维. 微纳电子技术, 2006, **4**: 161–166.
- [39] Mcpherson J, Kim J Y, Shanware A, *et al.* *Appl. Phys. Lett.*, 2003, **82** (13): 2121–2123.
- [40] Qi W J, Nieh R, Dharmarajan E, *et al.* *Appl. Phys. Lett.*, 2000, **77** (11): 1704–1706.
- [41] Filipescu M, Scarisoreanu N, Craciun V, *et al.* *Appl. Surf. Sci.*, 2007, **253** (19): 8184–8191.
- [42] Rittersma Z M, Loo J J G P, Ponomarev Y V, *et al.* *J. Electrochem. Soc.*, 2004, **151** (12): G870–G877.
- [43] Peterson J, Young C D, Barnett J, *et al.* *Electrochem. Solid-State Lett.*, 2004, **7** (8): G164–G167.
- [44] Sim J H, Wen H C, Lu J P, *et al.* *IEEE Electron Device Lett.*, 2003, **24** (10): 631–633.
- [45] Schaeffer J K, Samavedam S B, Gilmer D C, *et al.* *J. Vac. Sci. Technol. B*, 2003, **21** (1): 11–17.
- [46] Pan J, Woo C, Yang C Y, *et al.* *IEEE Electron Device Lett.*, 2003, **24** (5): 304–305.
- [47] Yu H Y, Kang J F, Chi Ren, *et al.* *Chinese Journal of Semiconductors*, 2004, **25** (10): 1193–1204.
- [48] 英特尔 (Intel) 45nm CPU 将于今年下半年量产, http://www.semi.org.cn/news/news_show.aspx?id=2796, 2007–12–18.