

文章编号: 1000-324X(2008)04-0700-05

退火温度对 Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si 异质结 微观结构与性能的影响

任明放, 王 华

(桂林电子科技大学 信息材料科学与工程系, 桂林 541004)

摘 要: 采用 sol-gel 工艺制备了 Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si 异质结. 研究了退火温度对异质结微观结构与生长行为、漏电流密度和 $C-V$ 特性等的影响. 研究表明: 成膜温度较低时, SrBi₂Ta₂O₉、Bi₄Ti₃O₁₂ 均为多晶薄膜, 但随退火温度升高, Bi₄Ti₃O₁₂ 薄膜沿 c 轴择优生长的趋势增强; 经不同退火温度处理的 Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si 异质结的 $C-V$ 曲线均呈现顺时针非对称回滞特性, 且回滞窗口随退火温度升高而增大, 经 700°C 退火处理后异质结的最大回滞窗口达 0.78V; 在 550~700°C 范围内, Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si 异质结的漏电流密度先是随退火温度升高缓慢下降, 当退火温度超过 650°C 后漏电流密度明显增大, 经 650°C 退火处理的异质结的漏电流密度可达 $2.54 \times 10^{-7} \text{ A/cm}^2$ 的最低值.

关 键 词: 退火温度; SrBi₂Ta₂O₉; Bi₄Ti₃O₁₂; 异质结

中图分类号: TM22, TN304 **文献标识码:** A

Effect of Annealing Temperature on Structure and Properties of Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si Heterostructure

REN Ming-Fang, WANG Hua

(Department of Information Material Science and Engineering, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si heterostructures were fabricated by sol-gel method. The effects of annealing temperature on microstructure, crystal growth behavior, leakage current density, and $C-V$ characteristics of Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si heterostructure were investigated. The SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂ multilayer thin films annealed at low temperature are polycrystalline, and grow in the preferred c -axis orientation with the increase of annealing temperature. The $C-V$ curves of Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si heterostructure annealed at various temperatures all show a clockwise ferroelectric hysteresis loop. The widths of $C-V$ hysteresis loops of Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si heterostructure increase with the increase of annealing temperature and reach a maximum of 0.78V when the heterostructure is annealed at 700°C. The leakage current density of Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si heterostructure decrease slowly with the increase of annealing temperature from 550°C to 650°C. However, when the annealing temperature is above 650°C, the leakage current density of Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si heterostructure increase evidently. The lowest leakage current density is $2.54 \times 10^{-7} \text{ A/cm}^2$ when Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si heterostructure is annealed at 650°C.

Key words: annealing temperature; SrBi₂Ta₂O₉; Bi₄Ti₃O₁₂; heterostructure

收稿日期: 2007-08-27, 收到修改稿日期: 2007-11-15

基金项目: 国家自然科学基金 (50262001)

作者简介: 任明放 (1957-), 女, 高级实验师. E-mail: wh65@tom.com

1 引言

数十年来, 为发展新型铁电存储器, 人们对铁电薄膜材料进行了广泛的研究^[1,2]. 由于铁电存储器常用材料 Pb(Zr,Ti)O₃ (简称 PZT) 的抗疲劳性能较差, 尽管采用导电氧化物电极材料后其疲劳特性有所改善, 但仍不能满足器件应用的要求. 同时 PZT/Si 之间的界面问题 (互反应、互扩散、晶格匹配、界面态密度等) 也未能得到很好地解决, 阻碍了其在器件方面的进一步应用^[3,4]. 自从 1995 年 Araujo 等人^[5] 报道了铋系层状钙钛矿结构的 SrBi₂Ta₂O₉ (SBT) 铁电薄膜具有良好的抗疲劳特性后, SBT 材料被广泛研究. 人们发现, 即使采用非导电氧化物电极材料, 如 Pt, 其无疲劳极化开关次数仍可高达 10¹² 次, 并且具有很好的信息储存寿命和较低的漏电流密度, 但其剩余极化却偏低, 仅 3~5 μC/cm², 限制了其应用器件性能的提高. 此外, 较高的成膜温度 (750°C) 也不利于其在器件中的应用^[6-8].

Bi₄Ti₃O₁₂ 简称 (BIT) 同属铋层状钙钛矿结构铁电材料, 且其晶格常数 $a=0.541\text{nm}$, $b=0.545\text{nm}$, $c=3.28\text{nm}$, 而 Si 的晶格常数为 $a=0.543\text{nm}$, 在一定的取向条件下, 二者的晶格匹配良好, 有利于改善二者之间的界面特性. 因此, 近年来 BIT 已成为制备 Si 基铁电存储器件的热点候选材料之一^[9-11]. 虽然 BIT 及其掺杂改性薄膜的剩余极化较 SBT 薄膜有较大提高, 但其抗疲劳特性与 SBT 薄膜相比还有较大差距^[10]. 本工作利用 SBT 结合 Pt 电极优异的抗疲劳特性以及 BIT 与 Si 衬底良好的晶格匹配, 采用 sol-gel 工艺制备了 Pt/SBT/BIT/p-Si 多层异质结, 研究退火温度对 Si 基 SBT/BIT 多层铁电薄膜微观结构与生长行为、Pt/SBT/BIT/p-Si 异质结 $C-V$ 特性和漏电流密度等的影响.

2 实验方法

实验选用电阻率为 5~10 Ω·cm 的 (100)p-Si 单晶片, 切成 1cm×1cm 的小片, 按半导体标准工艺进行清洗. 将硝酸铋 (Bi(NO₃)₃·5H₂O)、钛酸丁酯 (C₁₆H₃₆O₄Ti)、冰醋酸 (Acetic acid)、乙酰丙酮按化学计量比进行称量 (Bi 适当过量) 配制, 获得 Bi₄Ti₃O₁₂ 前驱体溶液. SrBi₂Ta₂O₉ 前驱体溶液由日本的 Kojundo 公司按我们的要求 (Sr 适当过量) 进行配制提供.

采用台式匀胶机, 先将配制好的 BIT 前驱体

溶液在清洗过的 Si 衬底上进行旋涂匀胶, 所获湿膜在 250°C 的恒温热盘上进行烘烤, 去除湿膜中的 C、H 成分. 烘烤过的薄膜在设定的退火温度下 O₂ 气氛中热处理 5min 后取出, 重复以上匀胶-烘烤-热处理过程, 根据所需厚度确定重复次数, 再在 BIT 薄膜上旋涂 SBT 前驱体溶液, 采用与 BIT 薄膜相同的工艺制备 SBT 薄膜, 按 BIT:SBT=3:1 的厚度配比进行多次匀胶和热处理, 最后在 O₂ 气氛中进行一定时间的退火处理, 即可获得所需 Si 基 SBT/BIT 多层铁电薄膜. 实验中所有样品的薄膜层数均为 4 层, 总厚度在 400nm 左右, 薄膜厚度用台阶测厚仪进行测试. 用掩膜法通过磁控溅射制备 Pt 上电极, 尺寸为 $\phi 0.18\text{mm} \times 50\text{nm}$. 用 X 射线衍射 (XRD)、HP4192A 低频阻抗分析仪、Keithley 6517A 高阻计、铁电参数测试仪 (FCE-1, Toyo-technica) 等分别对薄膜的晶相结构、 $C-V$ 特性、漏电流和铁电性能进行测试.

3 实验结果与分析讨论

为研究退火温度对 SBT/BIT 多层薄膜微观结构与生长行为、Pt/SBT/BIT/p-Si 异质结漏电流密度和 $C-V$ 特性等的影响规律, 在其它工艺条件相同的条件下, 分别制备了经不同温度退火处理的 Si 基 SBT/BIT 多层铁电薄膜及 Pt/SBT/BIT/p-Si 异质结样品. 图 1 为经不同温度退火处理后 Si 基 SBT/BIT 多层薄膜的 XRD 图谱. 由图 1 可见, Si 基 SBT/BIT 多层薄膜可以在较低的 550°C 结晶形成钙钛矿结构, 而且不同退火温度下 SBT 和 BIT 薄膜均呈现多晶自然取向, 各主要的衍射峰均已出现, 表明薄膜晶化良好, 但与 BIT 薄膜通常以 (117) 为主峰不同的是, (004)、(006)、(008) 晶面对应的衍射峰明显增强, 表明 Si 基 SBT/BIT 多层薄膜中 BIT 薄膜仍有沿 c 轴择优取向生长的倾向. 尽管 BIT 薄膜 c 轴择优取向生长的趋势随退火温度的降低有所减弱, 但 SBT 薄膜的生长行为却基本保持不变. 这些结果表明, 采用溶胶-凝胶工艺和 SBT/BIT 的多层结构, 可以显著降低 SBT 铁电薄膜的成膜温度, 有利于降低薄膜与衬底之间的互反应和互扩散, 有利于在器件中的进一步应用.

采用 HP4192A 低频阻抗分析仪对经不同温度退火处理 Pt/SBT/BIT/p-Si 异质结的 $C-V$ 特性进行了测试. 测试时交流小信号幅度为 100mV, 直流偏压从 0V 开始, 扫至 -4V, 然后回扫至 +4V, 再回到 0V, 直流递进幅度为 0.5V. 图 2 为测试结果. 由

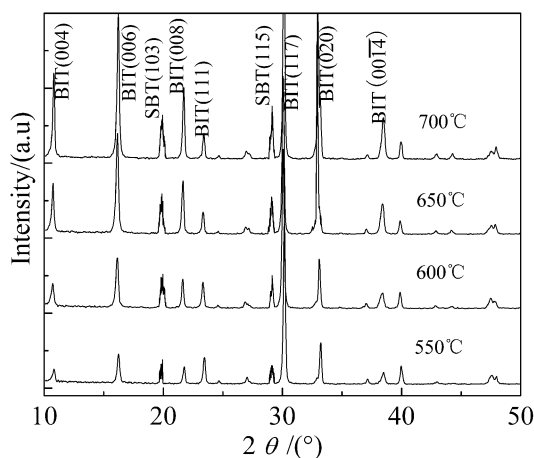


图 1 经不同温度退火处理后 Si 基 SBT/BIT 多层铁电薄膜的 XRD 图谱

Fig. 1 X-ray diffraction patterns of SBT/BIT multilayer thin films on p-Si substrates annealed at various temperatures

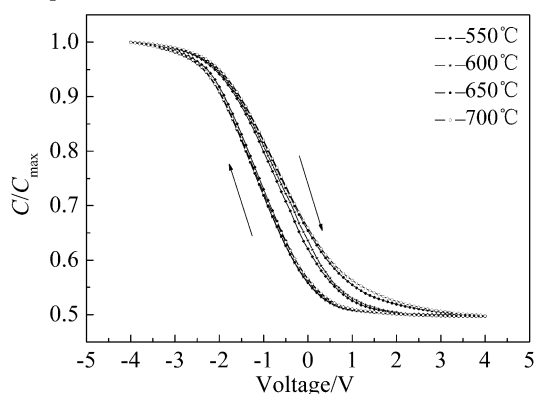


图 2 经不同温度退火处理 Pt/SBT/BIT/p-Si 异质结的 $C-V$ 曲线

Fig. 2 $C-V$ curves of Pt/SBT/BIT/p-Si heterostructure annealed at various temperatures

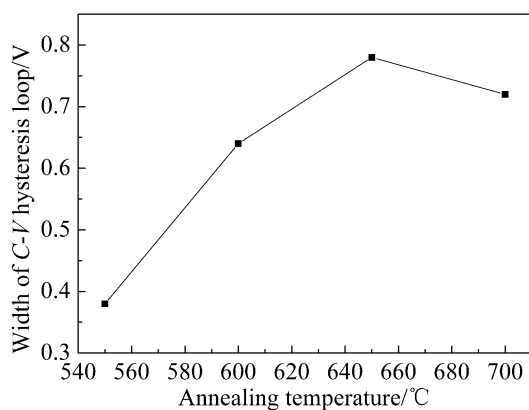


图 3 Pt/SBT/BIT/p-Si 异质结 $C-V$ 曲线回滞窗口大小随退火温度的变化曲线

Fig. 3 Width of $C-V$ hysteresis loop of Pt/SBT/BIT/p-Si heterostructure as a function of annealing temperature

图可见, 经不同温度退火处理的 Pt/SBT/BIT/p-Si 异质结都表现出与传统 MOS 结构相似的 $C-V$ 特性, 而且异质结的 $C-V$ 特性曲线呈现出顺时针的回滞. 对 p-Si 衬底来说, 顺时针的回滞 $C-V$ 曲线说明 Si 的表面势为薄膜的铁电极化所控制, 信息存储将可以通过铁电薄膜极化引起半导体表面电荷补偿来实现, 这正是 MFS (Metal/Ferroelectric/Semiconductor) 结构铁电器件所期望的, 而且铁电薄膜的极化强弱会影响曲线的回滞窗口宽度. 图 3 是 Pt/SBT/BIT/p-Si 异质结 $C-V$ 曲线回滞窗口大小随退火温度变化的情况. 由图 3 可以看出, 退火温度在 550~700°C 范围内升高时, $C-V$ 曲线的回滞窗口宽度并不是单调地增加. 当退火温度较低时, 异质结 $C-V$ 曲线的回滞窗口宽度随退火温度升高迅速增大, 但退火温度升高到 600°C 后, $C-V$ 曲线的回滞窗口宽度增大趋势减缓, 退火温度为 650°C 时, 异质结具有 0.78V 的最大宽度, 超过此温度后 $C-V$ 曲线的回滞窗口宽度却反而有所减小. 这是因为在较低的退火温度下, 薄膜的晶化还不很完全, 晶粒细小, 缺陷较多, 薄膜的极化强度较低, 从而使 $C-V$ 曲线的回滞窗口较小. 随退火温度升高, 薄膜晶化程度显著提高, 晶粒增大, 薄膜较高的极化强度使得 $C-V$ 曲线的回滞窗口明显增大. 继续升高退火温度, 薄膜剩余极化的增大逐步趋缓, 退火温度升高到 700°C 以后, 薄膜的剩余极化开始下降, 如图 4 所示. 与此同时, 随退火温度升高, 铁电薄膜与硅衬底之间的互扩散逐步增强, 导致大量电荷的注入, 削弱了铁电薄膜极化电荷的作用, 也促使 $C-V$ 曲

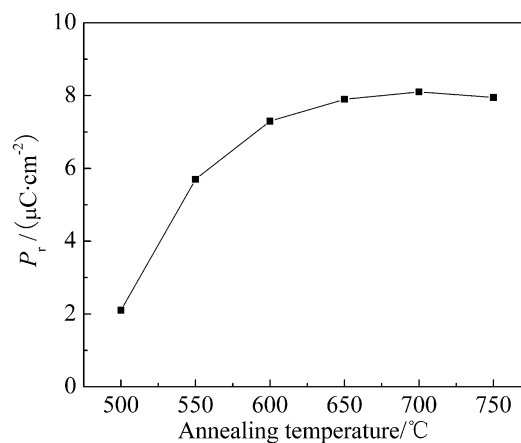


图 4 SBT/BIT 多层薄膜剩余极化与退火温度的关系曲线

Fig. 4 Remanent polarization (P_r) of SBT/BIT multilayer thin films as a function of annealing temperature

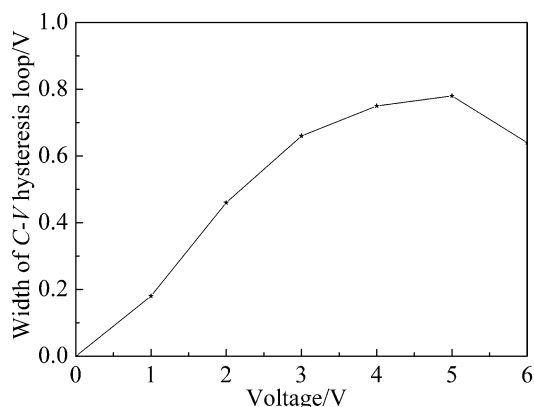


图 5 650°C 退火处理 Pt/STB/BIT/p-Si 异质结 $C-V$ 曲线回滞窗口大小随偏压的变化曲线

Fig. 5 Width of $C-V$ hysteresis loop of Pt/STB/BIT/p-Si heterostructure annealed at 650°C as a function of applied voltage

线的回滞窗口增长减缓. 因此, 在超过 700°C 的退火温度下, 薄膜的 $C-V$ 曲线回滞窗口又有所缩小. 这种电荷注入的影响也可以从图 5 的异质结 $C-V$ 曲线回滞窗口大小随偏压的变化情况得到证实. 我们注意到, 同一薄膜样品在不同偏压下, 其 $C-V$ 曲线回滞窗口大小不同. 在偏压低于 5V 的条件下, 偏压越大, $C-V$ 曲线回滞窗口的宽度也越大. 但当偏压超过 5V 以后, 偏压越大, $C-V$ 曲线回滞窗口的宽度却越小. 这说明薄膜界面还是存在一定的可移动电荷, 在高外加偏压的激励下, 电荷注入对异质结 $C-V$ 曲线回滞窗口大小的影响已超过薄膜剩余极化对 $C-V$ 曲线的影响. 这同样可以说明, 较高退火温度下 $C-V$ 曲线回滞窗口的减小主要是由于互扩散导致注入电荷的大量增加所致. 所以, Pt/STB/BIT/p-Si 异质结的退火温度应控制在 700°C 以下为宜.

图 6 是 Pt/STB/BIT/p-Si 异质结在 5V 偏压下的漏电流密度与退火温度的关系曲线. 图 6 表明, 经不同温度退火处理的 Pt/STB/BIT/p-Si 异质结均具有不超过 $3 \times 10^{-7} \text{ A/cm}^2$ 的较低漏电流密度. 尽管漏电流密度的差别不大, 但在不同退火温度范围内 Pt/STB/BIT/p-Si 异质结的漏电流密度变化趋势还是有所不同. 在 550~700°C 范围内, Pt/STB/BIT/p-Si 异质结的漏电流密度先是缓慢下降, 经 650°C 退火处理时达到最低, 为 $2.54 \times 10^{-7} \text{ A/cm}^2$, 然后随退火温度升高而明显增大. 这说明在较低的温度范围内, 退火温度并不是影响异质结漏电流的最主要因素, 但过高的退火温度可能导致漏电流密度的显著增长, 不利于薄膜的器件应用. 图 7 为经 650°C 退火

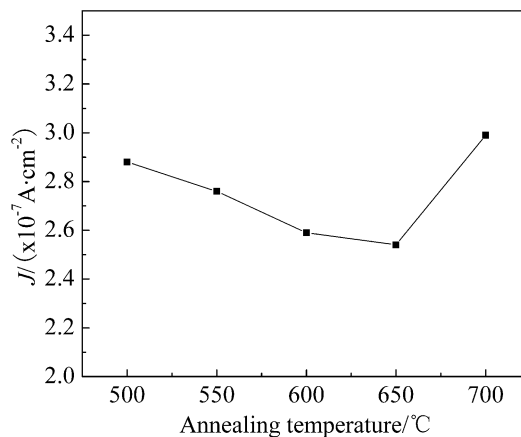


图 6 Pt/STB/BIT/p-Si 异质结的漏电流密度与退火温度的关系曲线

Fig. 6 Leakage current densities (J) of Pt/STB/BIT/p-Si heterostructure at 5V as a function of annealing temperature

处理 Pt/STB/BIT/p-Si 异质结在不同偏压下的漏电流密度. 该结果显示, 负向偏压下 Pt/STB/BIT/p-Si 异质结的漏电流密度远远低于正向偏压下的漏电流密度, 当偏压超过 1V 时, 正、负偏压下的漏电流密度相差 2 个数量级, 表现出较明显的单向导电特性. 在正向偏压下, Pt/STB/BIT/p-Si 异质结的漏电流密度在偏压 <2V 的范围内缓慢增大, 随后增长加快, 偏压超过 4V 以后, 漏电流密度迅速增大. 进一步的分析表明, 在偏压 >4V 的强场区, $\lg I$ 与 $\lg V$ 基本成线性关系, 这说明强场下漏电流主要源于空间电荷限制电流 (SCLC). 而空间电荷限制电流和铁电薄膜与半导体界面的互反应及互扩散程度、晶格匹配度、界面态密度等直接相关.

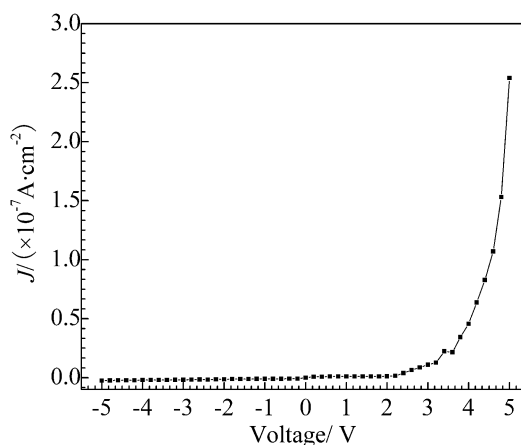


图 7 经 650°C 退火处理 Pt/STB/BIT/p-Si 异质结在不同偏压下的漏电流密度

Fig. 7 Leakage current densities (J) of Pt/STB/BIT/p-Si heterostructure annealed at 650°C as a function of applied voltage

因此,降低异质结制备温度,获得良好的薄膜与衬底晶格匹配,减少界面态,控制载流子的注入是降低漏电流密度的有效途径.

4 结论

退火温度对 Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si 异质结的微观结构与生长行为、漏电流密度和 $C-V$ 特性等有明显影响. 结果表明:成膜温度较低时 SrBi₂Ta₂O₉、Bi₄Ti₃O₁₂ 均为多晶薄膜,但随退火温度升高,Bi₄Ti₃O₁₂ 薄膜沿 c 轴择优生长的趋势增强;经不同温度退火处理的 Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si 异质结的 $C-V$ 曲线均呈现顺时针非对称回滞特性,且回滞窗口随退火温度升高而增大,经 700°C 退火处理时异质结的最大回滞窗口达 0.78V,多层铁电薄膜较大的剩余极化是该异质结顺时针 $C-V$ 曲线及其较大回滞窗口形成的主要影响因素;在 550~700°C 范围内, Pt/SrBi₂Ta₂O₉/Bi₄Ti₃O₁₂/p-Si 异质结的漏电流密度均低于 $3 \times 10^{-7} \text{ A/cm}^2$,在较低的温度范围内,退火温度并不是影响异质结漏电流密度的最主要因素,但过高的退火温度会导致漏电流密度的显著增大,不利于薄膜器件的应用.

致谢 本研究在实验过程中得到了日本大阪大学基础工学部奥山雅教授的大力支持,在此表示衷心感谢.

参考文献

- [1] Scott J F. *Mater. Sci. Eng. B*, 2005, **120** (1-3): 6-12.
- [2] Hirooka G, Noda M, Okuyama M. *Jpn. J. Appl. Phys.*, 2004, **43** (4B): 2190-2193.
- [3] Park B H, Kang B S, Bu S D, *et al.* *Nature*, 1999, **401**: 682-684.
- [4] Wang H, Yu J, Dong X M, *et al.* *Jpn. J. Appl. Phys.*, 2001, **40** (3A): 1388-1390.
- [5] Araujo C A, Cuchiaro J D, Mcmillan L D, *et al.* *Nature*, 1995, **374**: 627-629.
- [6] Ryu S O, Joshi P C, Desu S B. *Appl. Phys. Lett.*, 1999, **75** (14): 2126-2128.
- [7] Aizawa K, Ishiwara H. *Jpn. J. Appl. Phys.*, 2000, **39** (11B): L1191-L1193.
- [8] Kohno A, Sakamoto H, Matuo K. *Jpn. J. Appl. Phys.*, 2005, **44** (4A): 1928-1931.
- [9] Black C T, Curtis F, Thomas J L. *Appl. Phys. Lett.*, 1997, **71** (14): 2041-2043.
- [10] 王 华. 物理学报, 2004, **53** (4): 1265-1270.
- [11] Chiou T Y, Kuo D H. *Appl. Phys. Lett.*, 2004, **85** (15): 3196-3198.